

**Family list****6** family members for:**JP2002311898**

Derived from 5 applications.

- 1 Light-emitting element and electronic appliance using such element**  
Publication info: **CN1369870 A** - 2002-09-18
- 2 Light emitting device and electronic equipment using the same**  
Publication info: **EP1231592 A2** - 2002-08-14
- 3 LIGHT EMITTING DEVICE AND ELECTRONIC EQUIPMENT USING THE SAME**  
Publication info: **JP2002311898 A** - 2002-10-25
- 4 Light emitting device and electronic equipment using the same**  
Publication info: **US6710548 B2** - 2004-03-23  
**US2002105279 A1** - 2002-08-08
- 5 Light emitting device and electronic equipment using the same**  
Publication info: **US2004263444 A1** - 2004-12-30

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-311898

(P 2 0 0 2 - 3 1 1 8 9 8 A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-コード (参考)
G09G 3/30		G09G 3/30	J 3K007
			K 5C080
3/20	612	3/20	612 U
	621		621 M
	624		624 B
審査請求 未請求 請求項の数31 O L (全35頁) 最終頁に続く			

(21) 出願番号 特願2002-28984 (P 2002-28984)

(22) 出願日 平成14年2月6日 (2002. 2. 6)

(31) 優先権主張番号 特願2001-32188 (P 2001-32188)

(32) 優先日 平成13年2月8日 (2001. 2. 8)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 木村 肇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

Fターム(参考) 3K007 AB02 AB04 AB17 BA06 BB07

DB03 GA04

5C080 AA06 BB05 CC03 DD03 DD29

EE28 FF11 GG12 JJ02 JJ03

JJ04 JJ05 JJ06 KK07 KK43

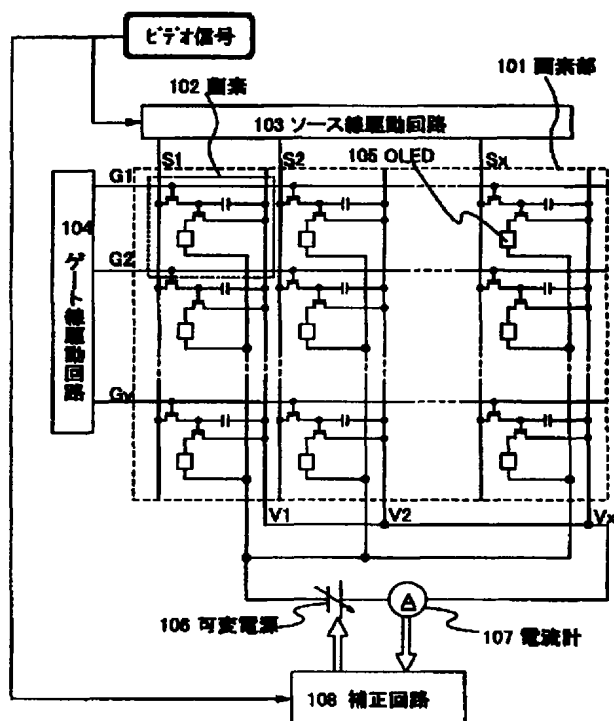
KK47

(54) 【発明の名称】 発光装置及びそれを用いた電子機器

(57) 【要約】

【課題】 有機発光層が多少劣化したり、環境温度が変わったりしても、発光素子の輝度の変化を抑え、安定して所望のカラー表示を行うことが可能な発光装置の提供を課題とする。

【解決手段】 ビデオ信号のデータから画素部に流れる電流の基準値を計算する。そして、該ビデオ信号のデータにしたがって画素部に画像を表示し、そのときに画素部全体の発光素子の駆動電流を測定する。そして、測定した駆動電流が基準の値になるように、可変電源から上記2つの画素部に供給される電圧の値を補正する。上記構成によって、有機発光層の劣化に伴う輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。



## 【特許請求の範囲】

【請求項 1】発光素子を有する発光装置であって、前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流を測定する手段と、

ビデオ信号を用いて、前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の、基準となる値を算出する手段と、

前記測定により得られる電流値が、前記基準となる電流値に近づくように、前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を補正する手段とを有することを特徴とする発光装置。

【請求項 2】発光素子を有する発光装置であって、前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流を測定する手段と、

ビデオ信号を用いて、前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の、基準となる値を算出する手段と、

前記測定した電流値と、前記基準となる電流値の偏差を算出する手段と、

前記偏差から、前記発光素子が有する第 1 の電極と第 2 の電極の間に流れる電流が前記基準となる電流値に近づくような、前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧値を算出する手段と、

前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を、前記算出された電圧値に近づくように補正する手段とを有することを特徴とする発光装置。

【請求項 3】発光素子を有する発光装置であって、前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流を測定する手段と、

ビデオ信号を用いて、前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の、基準となる値を算出する手段と、

前記測定により得られる電流値が、前記基準となる電流値に近づくように、前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を補正する手段とを有し、

前記測定により得られる電流値と前記基準となる電流値の偏差が一定の幅で変化するように、前記測定により得られる電流値が一定の幅で変化することを特徴とする発光装置。

【請求項 4】発光素子を有する発光装置であって、前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流を測定する手段と、

ビデオ信号を用いて、前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の、基準となる値を算出する手段と、

前記測定した電流値と、前記基準となる電流値の偏差を算出する手段と、

前記偏差から、前記発光素子が有する第 1 の電極と第 2 の電極の間に流れる電流が前記基準となる電流値に近づくような、前記発光素子が有する第 1 の電極と第 2 の電

極の間の電圧値を算出する手段と、

前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を、前記算出された電圧値に近づくように補正する手段とを有し、

前記偏差が一定の幅で変化するように、前記算出された電圧値が一定の大ききで変化することを特徴とする発光装置。

【請求項 5】発光素子を有する画素が複数設けられた発光装置であって、

全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計を測定する手段と、

ビデオ信号を用いて、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計の、基準となる値を算出する手段と、

前記測定により得られる合計の電流値が、前記基準となる合計の電流値に近づくように、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を補正する手段とを有することを特徴とする発光装置。

【請求項 6】発光素子を有する画素が複数設けられた発光装置であって、

全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計を測定する手段と、

ビデオ信号を用いて、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計の、基準となる値を算出する手段と、

前記測定した合計の電流値と、前記基準となる合計の電流値の偏差を算出する手段と、

前記偏差から、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計が、前記基準となる合計の電流値に近づくような、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を、前記算出された電圧値に近づくように補正する手段とを有することを特徴とする発光装置。

【請求項 7】発光素子を有する画素が複数設けられた発光装置であって、

全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計を測定する手段と、

ビデオ信号を用いて、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計の、基準となる値を算出する手段と、

前記測定により得られる合計の電流値が、前記基準となる合計の電流値に近づくように、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を補正する手段とを有し、

前記測定により得られる合計の電流値と前記基準となる合計の電流値の偏差が一定の幅で変化するように、前記測定により得られる合計の電流値が一定の幅で変化することを特徴とする発光装置。

10

20

30

40

50

【請求項 8】発光素子を有する画素が複数設けられた発光装置であって、

全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計を測定する手段と、

ビデオ信号を用いて、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計の、基準となる値を算出する手段と、

前記測定した合計の電流値と、前記基準となる合計の電流値の偏差を算出する手段と、

前記偏差から、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計が、前記基準となる合計の電流値に近づくような、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を、前記算出された電圧値に近づくように補正する手段とを有し、

前記偏差が一定の幅で変化すること、前記算出された電圧値が一定の大きさに変化することを特徴とする発光装置。

【請求項 9】発光素子を有する画素が複数設けられた発光装置であって、

全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計を測定する手段と、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値が、前記発光する各発光素子の第 1 の電極と第 2 の電極の間に流れる基準となる電流値に近づくように、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を補正する手段とを有することを特徴とする発光装置。

【請求項 10】発光素子を有する画素が複数設けられた発光装置であって、

全ての前記発光素子の、第 1 の電極と第 2 の電極の間に流れる電流の合計を測定する手段と、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値と、前記発光する各発光素子の、第 1 の電極と第 2 の電極の間に流れる基準となる電流値の偏差を算出する手段と、

前記偏差から、前記発光する各発光素子の第 1 の電極と第 2 の電極の間に流れる電流が、前記基準となる電流値に近づくような、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を、前記算出された電圧値に近づくように補正

する手段とを有することを特徴とする発光装置。

【請求項 11】発光素子を有する画素が複数設けられた発光装置であって、

全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計を測定する手段と、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

10 前記発光する各発光素子の電流の測定値が、前記発光する各発光素子の第 1 の電極と第 2 の電極の間に流れる基準となる電流値に近づくように、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を補正する手段とを有し、

前記発光する各発光素子の電流の測定値と前記基準となる電流値の偏差が一定の幅で変化すること、前記発光する各発光素子の電流の測定値が一定の幅で変化することを特徴とする発光装置。

20 【請求項 12】発光素子を有する画素が複数設けられた発光装置であって、

全ての前記発光素子の、第 1 の電極と第 2 の電極の間に流れる電流の合計を測定する手段と、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値と、前記発光する各発光素子の、第 1 の電極と第 2 の電極の間に流れる基準となる電流値の偏差を算出する手段と、

30 前記偏差から、前記発光する各発光素子の第 1 の電極と第 2 の電極の間に流れる電流が、前記基準となる電流値に近づくような、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を、前記算出された電圧値に近づくように補正する手段とを有し、

前記偏差が一定の幅で変化すること、前記算出された電圧値が一定の大きさに変化することを特徴とする発光装置。

40 【請求項 13】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計が測定され、

前記補正回路は、

ビデオ信号を用いて、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計の、基準となる値を算出する手段と、

50 前記測定により得られる合計の電流値が、前記基準とな

る合計の電流値に近づくように、全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を前記可変電源によって補正する手段とを有することを特徴とする発光装置。

【請求項14】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

ビデオ信号を用いて、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計の、基準となる値を算出する手段と、

前記測定した合計の電流値と、前記基準となる合計の電流値の偏差を算出する手段と、

前記偏差から、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が、前記基準となる合計の電流値に近づくような、全ての前記発光素子が有する第1の電極と第2の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を、前記算出された電圧値に近づくように前記可変電源によって補正する手段とを有することを特徴とする発光装置。

【請求項15】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

ビデオ信号を用いて、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計の、基準となる値を算出する手段と、

前記測定により得られる合計の電流値が、前記基準となる合計の電流値に近づくように、全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を前記可変電源によって補正する手段とを有し、

前記測定により得られる合計の電流値と前記基準となる合計の電流値の偏差が一定の幅で変化することに、前記測定により得られる合計の電流値が一定の幅で変化することを特徴とする発光装置。

【請求項16】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

ビデオ信号を用いて、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計の、基準となる値を算出する手段と、

前記測定した合計の電流値と、前記基準となる合計の電流値の偏差を算出する手段と、

前記偏差から、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が、前記基準となる合計の電流値に近づくような、全ての前記発光素子が有する第1の電極と第2の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を、前記算出された電圧値に近づくように前記可変電源によって補正する手段とを有し、

前記偏差が一定の幅で変化することに、前記算出された電圧値が一定の大きさで変化することを特徴とする発光装置。

【請求項17】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値が、前記発光する各発光素子の第1の電極と第2の電極の間に流れる基準となる電流値に近づくように、全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を前記可変電源によって補正する手段とを有することを特徴とする発光装置。

【請求項18】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値と、前記発光する各発光素子の、第1の電極と第2の電極の間に流れる基準となる電流値の偏差を算出する手段と、

前記偏差から、前記発光する各発光素子の第1の電極と第2の電極の間に流れる電流が、前記基準となる電流値に近づくような、全ての前記発光素子が有する第1の電

10

20

30

40

50

極と第2の電極の間の電圧値を算出する手段と、  
全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を、前記算出された電圧値に近づくように前記可変電源によって補正する手段とを有することを特徴とする発光装置。

【請求項19】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値が、前記発光する各発光素子の第1の電極と第2の電極の間に流れる基準となる電流値に近づくように、全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を前記可変電源によって補正する手段とを有し、

前記発光する各発光素子の電流の測定値と前記基準となる電流値の偏差が一定の幅で変化すると共に、前記発光する各発光素子の電流の測定値が一定の幅で変化することを特徴とする発光装置。

【請求項20】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値と、前記発光する各発光素子の、第1の電極と第2の電極の間に流れる基準となる電流値の偏差を算出する手段と、

前記偏差から、前記発光する各発光素子の第1の電極と第2の電極の間に流れる電流が、前記基準となる電流値に近づくような、全ての前記発光素子が有する第1の電極と第2の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を、前記算出された電圧値に近づくように前記可変電源によって補正する手段とを有し、

前記偏差が一定の幅で変化すると共に、前記算出された電圧値が一定の大きさで変化することを特徴とする発光装置。

【請求項21】画素部、補正回路、可変電源及び電流計

を有する発光装置であって、

前記画素部には、発光素子及び少なくとも1つのTFTを有する画素が複数設けられ、

前記TFTによって前記発光素子の発光が制御され、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値が、前記発光する各発光素子の第1の電極と第2の電極の間に流れる基準となる電流値に近づくように、全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を前記可変電源によって補正する手段とを有することを特徴とする発光装置。

【請求項22】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部には、発光素子及び少なくとも1つのTFTを有する画素が複数設けられ、

前記TFTによって前記発光素子の発光が制御され、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値と、前記発光する各発光素子の、第1の電極と第2の電極の間に流れる基準となる電流値の偏差を算出する手段と、

前記偏差から、前記発光する各発光素子の第1の電極と第2の電極の間に流れる電流が、前記基準となる電流値に近づくような、全ての前記発光素子が有する第1の電極と第2の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第1の電極と第2の電極の間の電圧を、前記算出された電圧値に近づくように前記可変電源によって補正する手段とを有することを特徴とする発光装置。

【請求項23】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部には、発光素子及び少なくとも1つのTFTを有する画素が複数設けられ、

前記TFTによって前記発光素子の発光が制御され、

前記電流計によって、全ての前記発光素子の第1の電極と第2の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定し

た合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値が、前記発光する各発光素子の第 1 の電極と第 2 の電極の間に流れる基準となる電流値に近づくように、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を前記可変電源によって補正する手段とを有し、

前記発光する各発光素子の電流の測定値と前記基準となる電流値の偏差が一定の幅で変化することにより、前記発光する各発光素子の電流の測定値が一定の幅で変化することを特徴とする発光装置。

【請求項 2 4】画素部、補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部には、発光素子及び少なくとも 1 つの TFT を有する画素が複数設けられ、

前記 TFT によって前記発光素子の発光が制御され、前記電流計によって、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を算出し、前記発光する発光素子の数と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値と、前記発光する各発光素子の、第 1 の電極と第 2 の電極の間に流れる基準となる電流値の偏差を算出する手段と、

前記偏差から、前記発光する各発光素子の第 1 の電極と第 2 の電極の間に流れる電流が、前記基準となる電流値に近づくような、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を、前記算出された電圧値に近づくように前記可変電源によって補正する手段とを有し、

前記偏差が一定の幅で変化することにより、前記算出された電圧値が一定の大きさで変化することを特徴とする発光装置。

【請求項 2 5】画素部、メモリを有する補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を各ライン毎に算出し、それぞれ前記メモリに保持する手段と、

前記メモリに保持されている各ライン毎の前記発光素子の数から、発光する前記発光素子の数の合計を算出する手段と、

前記発光する前記発光素子の数の合計と、前記測定した

合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値が、前記発光する各発光素子の第 1 の電極と第 2 の電極の間に流れる基準となる電流値に近づくように、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を前記可変電源によって補正する手段とを有することを特徴とする発光装置。

【請求項 2 6】画素部、メモリを有する補正回路、可変電源及び電流計を有する発光装置であって、

前記画素部に発光素子を有する画素が複数設けられており、

前記電流計によって、全ての前記発光素子の第 1 の電極と第 2 の電極の間に流れる電流の合計が測定され、

前記補正回路は、

デジタルビデオ信号を用いて、発光する前記発光素子の数を各ライン毎に算出し、それぞれ前記メモリに保持する手段と、

前記メモリに保持されている各ライン毎の前記発光素子の数から、発光する前記発光素子の数の合計を算出する手段と、

前記発光する前記発光素子の数の合計と、前記測定した合計の電流値から、前記発光する各発光素子の電流の測定値を算出する手段と、

前記発光する各発光素子の電流の測定値と、前記発光する各発光素子の、第 1 の電極と第 2 の電極の間に流れる基準となる電流値の偏差を算出する手段と、

前記偏差から、前記発光する各発光素子の第 1 の電極と第 2 の電極の間に流れる電流が、前記基準となる電流値に近づくような、全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧値を算出する手段と、

全ての前記発光素子が有する第 1 の電極と第 2 の電極の間の電圧を、前記算出された電圧値に近づくように前記可変電源によって補正する手段とを有することを特徴とする発光装置。

【請求項 2 7】請求項 1 3 乃至請求項 2 6 のいずれか 1 項において、前記可変電源、前記電流計及び前記補正回路が、前記発光素子の対応する色ごとに設けられていることを特徴とする発光装置。

【請求項 2 8】請求項 1 3 乃至請求項 2 7 のいずれか 1 項において、前記発光素子が形成されている第 1 の基板上に、前記補正回路または電流計が形成されている第 2 の基板が取り付けられていることを特徴とする発光装置。

【請求項 2 9】請求項 1 3 乃至請求項 2 7 のいずれか 1 項において、前記発光素子が形成されている第 1 の基板上に、前記補正回路または電流計が形成されている第 2 の基板が COG 法により取り付けられていることを特徴とする発光装置。

【請求項 3 0】請求項 1 3 乃至請求項 2 7 のいずれか 1

項において、前記発光素子が形成されている第1の基板上に、前記補正回路または電流計が形成されている第2の基板がワイヤボンディング法により取り付けられていることを特徴とする発光装置。

【請求項31】請求項1乃至請求項30のいずれか1項において、前記発光装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成され 10 た発光素子、例えば有機発光素子(OLED:Organic Light Emitting Device)を、該基板とカバー材の間に封入したOLEDパネルに関する。また、該OLEDパネルにコントローラを含むIC等を実装した、OLEDモジュールに関する。なお本明細書において、OLEDパネル及びOLEDモジュールを発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0002】

【従来の技術】OLEDは自ら発光するため視認性が高く、液晶表示装置(LCD)で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年OLEDを用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。

【0003】OLEDは、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる有機化合物(有機発光材料)を含む層(以下、有機発光層と記す)と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の発光装置は、上述した発光のうちのいずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

【0004】なお、本明細書では、OLEDの陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLEDは、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/ 40 発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0005】

【発明が解決しようとする課題】発光装置を実用化する上で問題となっているのが、有機発光材料の劣化に伴う、OLEDの輝度の低下であった。

【0006】有機発光材料は水分、酸素、光、熱に弱く、これらのものによって劣化が促進される。具体的には、発光装置を駆動するデバイスの構造、有機発光材料 50

の特性、電極の材料、作製工程における条件、発光装置の駆動方法等により、その劣化の速度が左右される。

【0007】有機発光層にかかる電圧が一定であっても、有機発光層が劣化するとOLEDの輝度は低下し、表示する画像は不鮮明になる。なお本明細書において、一对の電極から有機発光層に印加する電圧をOLED駆動電圧(Vel)と定義する。

【0008】また、R(赤)、G(緑)、B(青)に対応した三種類のOLEDを用いたカラー化表示方式において、有機発光層を構成する有機発光材料は、OLEDの対応する色によって異なる。そのため、OLEDの有機発光層が、対応する色にごとに異なる速度で劣化することがある。この場合、時間が経つにつれ、OLEDの輝度が色ごとに異なってしまい、発光装置に所望の色を有する画像を表示することができなくなる。

【0009】本発明は上述したことに鑑み、有機発光層が劣化しても、OLEDの輝度が低下するのを抑え、鮮明で所望のカラー表示を行うことが可能な発光装置を提供することを課題とする。

【0010】

【課題を解決するための手段】本発明者は、OLED駆動電圧を一定に保って発光させるのと、OLEDに流れる電流を一定に保って発光させるのとでは、後者の方が、劣化によるOLEDの輝度の低下が小さいことに着目した。なお本明細書において、OLEDに流れる電流をOLED駆動電流(Iel)と呼ぶ。

【0011】図2に、OLED駆動電圧を一定にしたときと、OLED駆動電流を一定にしたときの、OLEDの輝度の変化を示す。図2に示すとおり、OLED駆動電流を一定にした方が、劣化による輝度の低下が小さい。

【0012】よって本発明者は、劣化等によってOLED駆動電流が低下しても、OLED駆動電圧を補正して、常にOLED駆動電流を一定にすることができる発光装置を考案した。

【0013】具体的に本発明の発光装置は、OLED駆動電流を測定する第1の手段と、OLED駆動電流の理想とする値(基準値)をビデオ信号から算出する第2の手段と、前記測定値と前記基準値を比較する第3の手段と、OLED駆動電圧を補正することで、測定値と基準値の差を縮める第4の手段とを有している。

【0014】上記構成によって、本発明の発光装置は、有機発光層が劣化してもOLED電流を一定にすることができるので、輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。

【0015】そして、R(赤)、G(緑)、B(青)に対応した三種類のOLEDを用いたカラー化表示方式の場合、各色のOLEDごとにOLED駆動電流を測定し、OLED駆動電圧を補正するようにしても良い。この構成によって、OLEDの有機発光層が、対応する色



にごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0016】また、有機発光層の温度は、外気温やOLEDパネル自身が発する熱等に左右されるが、一般的にOLEDは温度によって流れる電流の値が変化する。図3に、有機発光層の温度を変化させたときの、OLEDの電圧電流特性の変化を示す。電圧が一定のとき、有機発光層の温度が高くなると、OLED駆動電流は大きくなる。そしてOLED駆動電流とOLEDの輝度は比例関係にあるため、OLED駆動電流が大きければ大きいほど、OLEDの輝度は高くなる。図2において、定電圧時における輝度が約24時間の周期で上下しているのも、昼夜の温度差が反映されているためである。しかし、本発明の発光装置では、有機発光層の温度が変化しても、OLED駆動電圧を補正することでOLED駆動電流を常に一定に保つことができる。よって、温度変化に左右されずに一定の輝度を得ることができ、また温度の上昇に伴って消費電力が大きくなるのを防ぐことができる。

【0017】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに一定の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0018】また、本発明の発光装置では、OLED電流を測定する際に、使用者の意図に反して表示する画面を変える必要がないため、利便性に優れている。

【0019】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のOLEDにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0020】

【発明の実施の形態】以下、本発明の構成について説明

する。

【0021】図1に本発明のOLEDパネルの構成を、ブロック図で示す。101は画素部であり、複数の画素102がマトリクス状に形成されている。また103はソース線駆動回路、104はゲート線駆動回路である。

【0022】なお図1ではソース線駆動回路103とゲート線駆動回路104とが、画素部101と同じ基板上に形成されているが、本発明はこの構成に限定されない。ソース線駆動回路と103とゲート線駆動回路104とが画素部101と異なる基板上に形成され、FPC等のコネクタを介して、画素部101と接続されていても良い。また、図1ではソース線駆動回路103とゲート線駆動回路104は1つずつ設けられているが、本発明はこの構成に限定されない。ソース線駆動回路103とゲート線駆動回路104の数は設計者が任意に設定することができる。

【0023】また図1では、画素部101にソース線S1～Sx、電源線V1～Vx、ゲート線G1～Gyが設けられている。なおソース線と電源線の数は必ずしも同じであるとは限らない。またこれらの配線の他に、別の異なる配線が設けられていても良い。

【0024】各画素102にはOLED105が設けられている。OLED105は陽極と陰極を有しており、本明細書では、陽極を画素電極（第1の電極）として用いる場合は陰極を対向電極（第2の電極）と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0025】各画素102のOLED105の画素電極は、1つまたは複数のTFTを介して電源線V1～Vxのいずれか1つに接続されている。そして電源線V1～Vxは全て電流計107を介して、可変電源106に接続されている。さらに、OLED105の対向電極は全て可変電源106に接続されている。なおOLED105の対向電極は、1つまたは複数の素子を介して可変電源106に接続されていても良い。

【0026】なお本明細書において可変電源とは、回路や素子に電流又は電圧を供給する電源であり、なおかつ供給する電圧又は電流が可変である電源を意味する。図1では、可変電源106が、電源線側が高い電位(V<sub>dd</sub>)に、対向電極側が低い電位(V<sub>ss</sub>)に保たれるように接続されている。しかし本発明はこの構成に限定されず、可変電源106はOLED105に流れる電流が順バイアスになるように接続されていれば良い。

【0027】なお図1では、全ての電源線V1～Vxが電流計107に直列に接続されているが、電源線V1～Vxのいくつかが電流計107を介して可変電源106に接続され、残りの電源線が電流計107を介さずに可変電源106に接続されていても良い。

【0028】また電流計107を設ける位置は、必ずしも可変電源106と電源線との間である必要はなく、可変電源106と対向電極の間であっても良い。本発明で

用いる電流計は、配線を流れる電流値の変化を感知できるものであるならば、どのような構成を有していても良い。

【0029】そして108は補正回路であり、電流計107において測定された電流の値（測定値）に基づいて、可変電源106から対向電極及び電源線V1～Vxに供給される電圧を制御する。また補正回路108にはビデオ信号が入力されており、該ビデオ信号から理想とする電流の値である基準値を算出する。

【0030】なお、電流計107、可変電源106、補正回路108は、各々画素部101が形成されている基板とは異なる基板上に形成され、コネクタ等を介して画素部101と接続されていても良いし、作製が可能であれば画素部101と同じ基板上に形成しても良い。

【0031】またカラー化表示方式の場合、各色ごとに可変電源、電流計を設け、各色のOLEDにおいてOLED駆動電圧を補正するようにしても良い。なおこのとき、補正回路は色毎に設けても良いし、複数の色のOLEDに共通の補正回路を設けても良い。

【0032】図4に各画素の詳しい構成を示す。図4に示した画素は、ソース線Si（i=1～x）、ゲート線Gj（j=1～y）、電源線Vi、スイッチング用TFT110、駆動用TFT111、コンデンサ112及びOLED105を有している。なお図4に示した画素の構成はほんの一例であり、画素が有する配線や素子の数、種類及びその接続は、図4に示した構成に限定されない。本発明の発光装置は、可変電源106により各画素のOLEDのOLED駆動電圧が制御可能であるならば、どのような構成を有していても良い。

【0033】図4では、スイッチング用TFT110のゲート電極がゲート線Gjに接続されている。そしてスイッチング用TFT110のソース領域とドレイン領域は、一方はソース線Siに、もう一方は駆動用TFT111のゲート電極に接続されている。そして、駆動用TFT111のソース領域とドレイン領域は、一方は電源線Viに、もう一方はOLED105の画素電極に接続されている。コンデンサ112は駆動用TFT111のゲート電極と電源線Viとの間に形成されている。

【0034】図4に示した画素では、ゲート線Gjの電位がゲート線駆動回路104によって制御され、ソース線Siにはソース線駆動回路103によってビデオ信号が入力される。スイッチング用TFT110がオンになると、ソース線Siに入力されたビデオ信号は、スイッチング用TFT110を介して駆動用TFT111のゲート電極に入力される。そして駆動用TFT111がビデオ信号によりオンになると、可変電源106によりOLED105の画素電極と対向電極の間にOLED駆動電圧が印加されているので、OLED105が発光する。

【0035】電流計107は、全ての画素に流れるOL 50

ED電流を測定する第1の手段を有している。OLED105が発光しているときに、電流計107において電流が測定される。電流を測定する期間は電流計107の性能により異なり、計測可能な長さ以上の期間であることが必要である。また電流計107では、計測する期間に流れる電流の平均値もしくは最大値が読み取られるようにする。

【0036】なお、電流計に流れる電流に、トランジスタのオフ電流等による漏れ電流が含まれている可能性がある。そこで、いったん全画素のOLEDに電流が流れないようなビデオ信号を入力し、そのとき電流計に流れる電流値を測定しておく。そして、実際に電流を測定するときには、記憶しておいた電流値を差し引くようにする。そうすると、漏れ電流等に代表されるノイズ成分を除去した正確な電流値を得ることができる。

【0037】電流計107において得られた測定値は、データとして補正回路108に送られる。一方、補正回路108にはビデオ信号が入力される。図5に、補正回路108の構成をブロック図で示す。

【0038】120は電流値計算回路、121は電流値比較回路、122は電源制御回路である。電流値計算回路120は、入力されたビデオ信号から、電流計107に流れる電流の理想の値（基準値）を、ビデオ信号から算出する第2の手段を有している。

【0039】電流値比較回路121は、測定値と基準値を比較する第3の手段を有している。

【0040】そして、電源制御回路122は、測定値と基準値の間にある程度の差が生じている場合に、可変電源106を制御することでOLED駆動電圧を補正し、測定値と基準値の差を縮める第4の手段を有している。具体的には、電源線V1～Vxと対向電極との間の電圧を補正することにより、各画素102が有するOLED105においてOLED駆動電圧が補正され、所望の大きさのOLED駆動電流が流れる。

【0041】なお、OLED駆動電圧は、電源線側の電位が制御されることで補正されていても良いし、対向電極側の電位が制御されることで補正されていても良い。また、電源線側の電位と対向電極側の電位とが共に制御されることで、補正されていても良い。

【0042】なお、電圧の補正により駆動用TFT111のゲート電圧が確保できなくなることが起こらないように、ビデオ信号の電位は、予め調整しておくことが望ましい。

【0043】図19に、カラーの発光装置において、電源線側の電位を制御する場合の、各色のOLEDのOLED駆動電圧の変化を示す。図19において、VrはR用OLEDにおける補正前のOLED駆動電圧であり、Vr'は補正後のOLED駆動電圧である。同様に、VgはG用OLEDにおける補正前のOLED駆動電圧であり、Vg'は補正後のOLED駆動電圧である。Vb

はB用OLEDにおける補正前のOLED駆動電圧であり、 $V_b$ は補正後のOLED駆動電圧である。

【0044】図19の場合、対向電極の電位（対向電位）は全てのOLEDにおいて同じ高さに固定されている。各色のOLEDごとにOLED駆動電流を測定し、電源線の電位（電源電位）を可変電源により制御することで、OLED駆動電圧が補正される。

【0045】本発明は上記構成によって、有機発光層が劣化してもOLEDの輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、各色毎に対応したOLEDを用いたカラー表示の発光装置の場合、OLEDの有機発光層が、対応する色にごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0046】また、有機発光層の温度は、外気温やOLEDパネル自身が発する熱等に左右されても、OLEDの輝度が増加するのを抑えることができ、また温度の上昇に伴って消費電力が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色のOLEDの輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0047】また、本発明の発光装置では、OLED電流を測定する際に、使用者の意図に反して表示する画面を変える必要がないため、利便性に優れている。

【0048】また一般的な発光装置は、各画素に電流を供給する配線（図1では電源線）自体が抵抗を有するため、配線の長さによってその電位は多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素のうち、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のOLEDにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が増加すると、それに伴って該所定の画素に供給される電流が増加し、結果的に階調数も増加する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるので、表示する画像が増加しても補正により所望の階調数を表示することができる。

【0049】なお本発明では、電流の補正を、使用者が好きな時に任意に行うようにしても良いし、設定によりあらかじめ決まった時に自動的に行われるようにしても良い。

【0050】

【実施例】以下に、本発明の実施例について説明する。

【0051】（実施例1）本実施例では、デジタルのビデオ信号（デジタルビデオ信号）を用いて画像を表示す

る発光装置の、図5に示した補正回路108のより詳しい構成について説明する。

【0052】図6に、本実施例の補正回路108の構成をブロック図で示す。補正回路108は、電流値計算回路120、電流値比較回路121、電源制御回路122を有している。

【0053】電流値計算回路120は、カウンタ回路123と、除算回路124と、A/D変換回路129と、基準電流値用レジスタ125とを有している。電流計107において得られた測定値のデータは、A/D変換回路129においてデジタルに変換されて、除算回路124に入力される。なお、電流計107において得られた測定値がアナログではなくデジタルだった場合、A/D変換回路129を設ける必要はない。

【0054】また電流値計算回路120に入力されたデジタルビデオ信号は、カウンタ回路123に入力される。カウンタ回路123では、入力されたデジタルビデオ信号のパルスの出現している期間から、電流値を測定した時に発光している画素の数を算出する。該画素数は除算回路124にデータとして送られる。

【0055】除算回路124では、入力された測定値と発光している画素数から、発光している各画素においてOLEDに流れる電流の値（画素測定値）を算出する。画素測定値はデータとして電流値比較回路121に入力される。

【0056】電流値比較回路121は、減算回路126と、許容誤差値用レジスタ127と、比較回路128とを有している。

【0057】電流値比較回路121に入力された画素測定値は、減算回路126に入力される。一方、基準電流値用レジスタ125には、各画素の理想とするOLED電流の値（基準値）が記憶されている。基準値はマスク等の設計により決められた固定データであっても良いし、CPUやディップスイッチ等による書き換えが可能なデータであっても良い。

【0058】基準電流値用レジスタ125に記憶されている基準値は、減算回路126に入力される。そして減算回路126では、除算回路124から入力された画素測定値と、基準値との差（以下、偏差電流）を算出する。

【0059】該偏差電流はデータとして比較回路128に入力される。一方、電源線 $V_1 \sim V_x$ と対向電極の間の、補正によって変化する分の電圧を補正電圧とすると、許容誤差値用レジスタ127には、電圧の補正を行わない偏差電流の範囲を決める値が記憶されている。電圧の補正は、偏差電流がこの範囲内に収束するまで、何回も行われる。仮に電圧の補正により偏差電流が完全に0になるならば、許容誤差値用レジスタ127は設けなくとも良い。しかし実際には、電流計107の測定上のばらつきや、減算回路126における計算の誤差、雑音

などにより、偏差電流は微小に変動しつづけることが多い。この場合、偏差電流の微小な変動にしたがって無意味に電圧の補正を繰り返してしまうのを防ぐために、許容誤差値用レジスタ 127 を設けて電圧の補正を行わない偏差電流の値の範囲を決めることは、極めて有効である。なお、許容誤差値用レジスタ 127 に、電圧の補正を行わない偏差電流の値の範囲の他に、偏差電流の値に対応する補正電圧の値が記憶されていても良い。偏差電流と補正電圧の関係は、例えば図 7 のように表される。図 7 では偏差電流が一定の幅で変化すると、補正電圧を一定の大きさに変化している。

【0060】なお偏差電流と補正電圧の関係は、必ずしも図 7 に示したグラフに則していなくても良い。偏差電流と補正電圧は、電流計に実際に流れている電流の値が基準値に近づくような関係であれば良い。例えば偏差電流と補正電圧とが線形性をもつ関係であっても良いし、偏差電流が補正電圧の二乗に比例していても良い。

【0061】許容誤差値用レジスタ 127 に記憶されている偏差電流と補正電圧の関係は、マスク等の設計により決められた固定データであっても良いし、CPU やディップスイッチ等による書き換えが可能なデータであっても良い。

【0062】比較回路 128 では、減算回路 126 から入力された偏差電流のデータが、許容誤差値用レジスタ 127 に記憶されている、電圧の補正を行わない偏差電流の値の範囲からはずれていた場合、所定の値の補正電圧を電源制御回路 122 にデータとして入力する。なお所定の補正電圧の値は比較回路 128 において予め決めておき、偏差電流が電圧の補正を行わない範囲からはずれている場合は全て、該所定の補正電圧の値を電源制御回路 122 に入力するようにする。

【0063】電源制御回路 122 では、入力された補正電圧の値をもとに変電圧 106 を制御することで、電源線 V1 ~ Vx と対向電極との間の電圧を補正電圧の値だけ補正する。上記構成によって、各画素 102 が有する OLED 105 において OLED 駆動電圧が補正され、OLED 駆動電流が所望の大きさに近づく。

【0064】なお、OLED 駆動電圧は、電源線側の電位が制御されることで補正されていても良いし、対向電極側の電位が制御されることで補正されていても良い。また、電源線側の電位と対向電極側の電位とが共に制御されることで、補正されていても良い。

【0065】そして、補正回路 108 における電圧の補正は、偏差電流の値が、許容誤差値用レジスタ 127 に記憶されている電圧の補正を行わない範囲内に収束するまで、何回も行われる。

【0066】なお、図 7 のように、偏差電流の値に対応する補正電圧の値が許容誤差値用レジスタ 127 に記憶されている場合、比較回路 128 では、減算回路 126 から入力された偏差電流のデータと、許容誤差値用レ

ジスタ 127 に記憶されている偏差電流と補正電圧の関係を照らし合わせて、補正電圧の値を決定する。この場合、偏差電流の値が大きくても、少ない電圧の補正の回数で偏差電流を小さくすることができる。

【0067】なお、カウンタ回路 123 の代わりに、全加算器とメモリを組み合わせで代用しても良い。

【0068】また、本実施例では減算回路 126 を用いたが、測定値と基準値がどのくらいかけ離れているかを認識できる回路であれば良く、例えば、減算回路 126 の代わりに除算回路を用いても良い。除算回路を用いた場合、除算回路において測定値と基準値の比が算出される。そして、その測定値と基準値の比から、比較回路 128 において補正電圧の値が決定される。

【0069】上記構成によって、本発明の発光装置は、有機発光層が劣化しても OLED 電流を一定にすることができるので、輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、本発明の発光装置では、有機発光層の温度が変化しても、OLED 駆動電圧を補正することで OLED 駆動電流を常に一定に保つことができる。よって、温度変化に左右されずに一定の輝度を得ることができ、また温度の上昇に伴って消費電力が大きくなるのを防ぐことができる。さらに本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED 電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0070】なお本実施例で示した補正回路の構成はほんの一例であり、本発明はこの構成に限定されない。本発明で用いられる補正回路は、全てまたは各画素に流れる OLED 駆動電流の理想とする値（基準値）をビデオ信号から算出する手段と、測定値と基準値を比較する手段と、測定値と基準値の間にある程度の差が生じている場合に、その差を縮めるように OLED 駆動電圧を補正する手段とを有していれば良い。

【0071】（実施例 2）本実施例では、図 5 に示した補正回路 108 の、実施例 1 とは異なる構成について説明する。

【0072】図 8 に、本実施例の補正回路 108 の構成をブロック図で示す。本実施例の補正回路 108 は、実施例 1 と同様に電流値計算回路 120、電流値比較回路 121、電源制御回路 122 を有している。

【0073】電流値計算回路 120 は、カウンタ回路 130 と、基準電流値用レジスタ 131 と、乗算回路 132 と、A/D 変換回路 133 とを有している。電流計 107 において得られた測定値のデータは、A/D 変換回路 133 においてデジタルに変換されて、電流値比較回路 121 に入力される。なお、電流計 107 において得られた測定値がアナログではなくデジタルだった場合、A/D 変換回路 133 を設ける必要はない。

【0074】また電流値計算回路 120 に入力されたデ

ジタルビデオ信号は、カウンタ回路 130 に入力される。カウンタ回路 130 では、入力されたデジタルビデオ信号のパルスの出現している期間から、電流値を測定した時に発光している画素の数を算出する。該画素数は乗算回路 132 にデータとして送られる。

【0075】一方、基準電流値用レジスタ 131 には、各画素の理想とする OLED 電流の値（基準値）が記憶されている。基準値はマスク等の設計により決められた固定データであっても良いし、CPU やディップスイッチ等による書き換えが可能なデータであっても良い。

【0076】基準電流値用レジスタ 131 に記憶されている基準値は、データとして乗算回路 132 に入力される。乗算回路 132 では、入力された基準値と、発光している画素の数から、全ての画素に流れる OLED 駆動電流の合計の基準値を算出する。

【0077】乗算回路 132 において算出された合計の基準値は、データとして電流値比較回路 121 に入力される。

【0078】電流値比較回路 121 に入力された測定値と合計の基準値のデータは、共に減算回路 134 に入力される。減算回路 134 では、入力された測定値と合計の基準値のデータの差（以下、偏差電流）を算出する。算出された偏差電流は、データとして比較回路 137 に入力される。

【0079】一方、許容誤差値用レジスタ 135 には、電源線 V1 ~ Vx と対向電極の間の、補正によって変化する分の電圧を補正電圧とすると、電圧の補正を行わない偏差電流の範囲が、合計の基準値に対する比率で記憶されている。電圧の補正は、偏差電流がこの範囲内に収束するまで、何回も行われる。仮に電圧の補正により偏差電流が完全に 0 になるならば、許容誤差値用レジスタ 135 は設けなくとも良い。しかし実際には、電流計 107 の測定上のばらつきや、減算回路 134 における計算の誤差、雑音などにより、偏差電流は微小に変動しつづけることが多い。この場合、偏差電流の微小な変動にしたがって無意味に電圧の補正を繰り返してしまうのを防ぐために、許容誤差値用レジスタ 135 を設けて電圧の補正を行わない偏差電流の値の範囲を決めることは、極めて有効である。なお、許容誤差値用レジスタ 135 に、電圧の補正を行わない偏差電流の値の範囲の他に、偏差電流の値に対応する補正電圧の値が記憶されていても良い。偏差電流と補正電圧は、電流計に実際に流れている電流の値が基準値に近づくような関係であれば良い。例えば偏差電流と補正電圧とが線形性をもつ関係であっても良いし、偏差電流が補正電圧の二乗に比例していても良い。

【0080】許容誤差値用レジスタ 135 に記憶されている偏差電流と補正電圧の関係は、マスク等の設計により決められた固定データであっても良いし、CPU やディップスイッチ等による書き換えが可能なデータであっ

ても良い。

【0081】比較回路 137 では、電圧の補正を行わない偏差電流の範囲を、許容誤差値用レジスタ 135 に記憶されている、合計の基準値に対する比率から算出する。そして、減算回路 134 から入力された偏差電流のデータが、該範囲からはずれていた場合、所定の値の補正電圧を電源制御回路 122 にデータとして入力する。なお所定の補正電圧の値は比較回路 137 において予め定めておき、偏差電流が電圧の補正を行わない範囲からはずれている場合は全て、該所定の補正電圧の値を電源制御回路 122 に入力するようにする。

【0082】電源制御回路 122 では、入力された補正電圧の値をもとに可変電源 106 を制御することで、電源線 V1 ~ Vx と対向電極との間の電圧を補正電圧の値だけ補正する。上記構成によって、各画素 102 が有する OLED 105 において OLED 駆動電圧が補正され、OLED 駆動電流が所望の大きさに近づく。

【0083】なお、OLED 駆動電圧は、電源線側の電位が制御されることで補正されていても良いし、対向電極側の電位が制御されることで補正されていても良い。また、電源線側の電位と対向電極側の電位とが共に制御されることで、補正されていても良い。

【0084】そして、補正回路 108 における電圧の補正は、偏差電流の値が、許容誤差値用レジスタ 135 に記憶されている電圧の補正を行わない範囲内に収束するまで、何回も行われる。

【0085】なお、偏差電流の値に対応する補正電圧の値が許容誤差値用レジスタ 135 に記憶されている場合、比較回路 137 では、減算回路 134 から入力された偏差電流のデータと、許容誤差値用レジスタ 135 に記憶されている偏差電流と補正電圧の関係を照らし合わせて、補正電圧の値を決定する。この場合、偏差電流の値が大きくても、少ない電圧の補正の回数で偏差電流を小さくすることができる。

【0086】また、カウンタ回路 130 の代わりに、全加算器とメモリを組み合わせで代用しても良い。

【0087】また、本実施例では減算回路 134 を用いたが、測定値と合計の基準値がどのぐらいかけ離れているかを認識できる回路であれば良く、例えば、減算回路 134 の代わりに除算回路を用いても良い。除算回路を用いた場合、除算回路において測定値と合計の基準値の比が算出される。そして、その測定値と合計の基準値の比から、比較回路 137 において補正電圧の値が決定される。

【0088】上記構成によって、本発明の発光装置は、有機発光層が劣化しても OLED 電流を一定にすることができるので、輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、本発明の発光装置では、有機発光層の温度が変化しても、OLED 駆動電圧を補正することで OLED 駆動電流を常に一

定に保つことができる。よって、温度変化に左右されずに一定の輝度を得ることができ、また温度の上昇に伴って消費電力が大きくなるのを防ぐことができる。さらに本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0089】なお本実施例で示した補正回路の構成はほんの一例であり、本発明はこの構成に限定されない。本発明で用いられる補正回路は、全てまたは各画素に流れるOLED駆動電流の理想とする値（基準値）をビデオ信号から算出する手段と、測定値と基準値を比較する手段と、測定値と基準値の間にある程度の差が生じている場合に、その差を縮めるようにOLED駆動電圧を補正する手段とを有していれば良い。

【0090】（実施例3）本実施例では、図4に示した画素を有する発光装置の、デジタルビデオ信号を用いた駆動方法と、電圧の補正を行うタイミングについて説明する。

【0091】本実施例の駆動方法について、図9を用いて説明する。なお、図9において横軸は時間を、縦軸は各ゲート線に接続されている画素の位置を示す。

【0092】まず、書き込み期間Taが開始されると、OLED105の対向電極の電位と電源線V1～Vxの電源電位が同じ高さに保たれる。そしてゲート線駆動回路104から出力される選択信号によって、ゲート線G1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT110がオンになる。

【0093】そして、ソース線駆動回路103によって、ソース線（S1～Sx）に入力された1ビット目のデジタルビデオ信号が、スイッチング用TFT110を介して駆動用TFT111のゲート電極に入力される。

【0094】次に1ライン目の画素のスイッチング用TFT110がオフになり、1ライン目の画素と同様に、選択信号によってゲート線G2に接続されている2ライン目の画素のスイッチング用TFT110がオンになる。次に、ソース線（S1～Sx）から1ビット目のデジタルビデオ信号が、2ライン目の画素のスイッチング用TFT110を介して駆動用TFT111のゲート電極に入力される。

【0095】そして順に、全てのラインの画素に1ビット目のデジタルビデオ信号が入力される。全てのラインの画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間Ta1である。なお本実施例において画素にデジタルビデオ信号が入力されるとは、デジタルビデオ信号がスイッチング用TFT110を介して駆動用TFT111のゲート電極に入力されることを意味する。

【0096】書込期間Ta1が終了すると次に表示期間Tr1になる。表示期間Tr1では、対向電極の電位

は、OLEDが発光する程度に、電源線の電源電位との間に電位差を有する高さになる。

【0097】そして本実施例では、デジタルビデオ信号が「0」の情報を持っていた場合、駆動用TFT111はオフの状態となる。よって電源電位は、OLED105の画素電極に与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するOLED105は発光しない。

【0098】逆に、「1」の情報を有していた場合、駆動用TFT111はオンの状態となっている。よって電源電位がOLED105の画素電極に与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するOLED105は発光する。

【0099】このように、表示期間Tr1においてOLED105が発光、または非発光の状態になり、全ての画素は表示を行う。画素が表示を行っている期間を表示期間Trと呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間をTr1と呼ぶ。

【0100】表示期間Tr1が終了すると書込期間Ta2となり、再びOLEDの対向電極の電位と電源線の電源電位が同じ高さになる。そして書込期間Ta1の場合と同様に順に全てのゲート線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間Ta2と呼ぶ。

【0101】書込期間Ta2が終了すると表示期間Tr2になり、対向電極の電位は、OLEDが発光する程度に、電源線の電源電位との間に電位差を有する高さになる。そして全ての画素が表示を行う。

【0102】上述した動作はnビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、書込期間Taと表示期間Trとが繰り返し出現する。全ての表示期間（Tr1～Trn）が終了すると1つの画像を表示することができる。明細書において、1つの画像を表示する期間を1フレーム期間（F）と呼ぶ。1フレーム期間が終了すると次のフレーム期間が開始される。そして再び書込期間Ta1が出現し、上述した動作を繰り返す。

【0103】通常の発光装置では1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0104】本実施例では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さ比は、 $Tr1 : Tr2 : Tr3 : \dots : Tr(n-1) : Trn = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-1)} : 2^{(n-1)}$ となるようにすることが必要である。この表示期間の組み合わせで2<sup>n</sup>階調のうち所望の階調表示を行うことができる。

【0105】1フレーム期間中にOLEDが発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 $Tr1$ と $Tr2$ において画素が発光した場合には1%の輝度が表現でき、 $Tr3$ と $Tr5$ と $Tr8$ を選択した場合には60%の輝度が表現できる。

【0106】また表示期間 $Tr1 \sim Trn$ は、どのような順序で出現させても良い。例えば1フレーム期間中に10  $Tr1$ の次に $Tr3$ 、 $Tr5$ 、 $Tr2$ 、...という順序で表示期間を出現させることも可能である。

【0107】次に、OLED駆動電圧を補正するための、電流の測定のタイミングと、デジタルビデオ信号から基準値を算出するタイミングについて説明する。

【0108】本実施例では、書き込み期間 $Ta1 \sim Tan$ において、各画素にデジタルビデオ信号が書き込まれるのと並行して、電流値計算回路にもデジタルビデオ信号が入力される。そして、実施例1または実施例2において示したとおり、デジタルビデオ信号から発光する画素の数をカウンタ回路等において算出する。

【0109】そして、発光している画素の数を用いて、実施例1では画素測定値を、実施例2では基準値を算出している。

【0110】そして電流を測定するタイミングは、本実施例では表示期間 $Tr1 \sim Trn$ において行っている。ただし、各表示期間が開始されるタイミングは、各ラインの画素によって異なっている。そのため、全ての画素が表示期間が開始された後で、なおかつ全ての画素において該表示期間が終了していない時に、全ての画素におけるOLED電流の合計を一斉に測定することが重要である。

【0111】なお、本実施例で示した駆動方法はほんの一例にすぎず、図1及び図4に示した本発明の発光装置の駆動方法は、本実施例の駆動方法に限定されない。

【0112】また本実施例で示した補正回路の構成はほんの一例であり、本発明はこの構成に限定されない。本発明で用いられる補正回路は、全てまたは各画素に流れるOLED駆動電流の理想とする値(基準値)をビデオ信号から算出する手段と、測定値と基準値を比較する手段と、測定値と基準値の間にある程度の差が生じている場合に、その差を縮めるようにOLED駆動電圧を補正する手段とを有していれば良い。

【0113】なお本実施例は、実施例1または2と自由に組み合わせて実施することが可能である。

【0114】(実施例4)本実施例では、本発明の発光装置の、図4とは異なる画素の構成について説明する。

【0115】図10に本実施例の画素の構成を示す。本実施例の発光装置の画素部には、画素300がマトリクス状に設けられている。画素300は、ソース線30

1、第1ゲート線302、第2ゲート線303、電源線304、スイッチング用TFT305、駆動用TFT306、消去用TFT309及びOLED307を有している。

【0116】そして、スイッチング用TFT305のゲート電極は第1ゲート線302に接続されている。スイッチング用TFT305のソース領域とドレイン領域は、一方はソース線301に、もう一方は駆動用TFT306のゲート電極に接続されている。

【0117】消去用TFT309のゲート電極は第2ゲート線303に接続されている。消去用TFT309のソース領域とドレイン領域は、一方は電源線304に、もう一方は駆動用TFT306のゲート電極に接続されている。

【0118】駆動用TFT306のソース領域は電源線304に、ドレイン領域はOLED307の画素電極に接続されている。コンデンサ308は駆動用TFT306のゲート電極と電源線304との間に形成されている。

【0119】電源線304は電流計310を介して可変電源311に接続されている。さらに、OLED307の対向電極は全て可変電源311に接続されている。なお図10で可変電源311は、電源線側が高い電位( $V_{dd}$ )に、対向電極側が低い電位( $V_{ss}$ )に保たれるように接続されている。しかし本発明はこの構成に限定されず、可変電源311はOLED307に流れる電流が順バイアスになるように接続されていれば良い。

【0120】電流計310を設ける位置は、必ずしも可変電源311と電源線304の間である必要はなく、可変電源311と対向電極の間であっても良い。

【0121】そして312は補正回路であり、電流計310において測定された電流の値(測定値)に基づいて、可変電源311から対向電極及び電源線304に供給される電圧を制御する。

【0122】なお、電流計310、可変電源311、補正回路312は、画素部が形成されている基板とは異なる基板上に形成され、コネクタ等を介して画素部と接続されていても良いし、作製が可能であれば画素部と同じ基板上に形成しても良い。

【0123】またカラー化表示方式の場合、各色ごとに可変電源、電流計を設け、各色のOLEDにおいてOLED駆動電圧を補正するようにしても良い。なおこのとき、補正回路は色毎に設けても良いし、複数の色のOLEDに共通の補正回路を設けても良い。

【0124】次に、本実施例の発光装置の駆動方法について説明する。本実施例の駆動方法について、図11を用いて説明する。なお、図11において横軸は時間を、縦軸は各ゲート線に接続されている画素の位置を示す。

【0125】はじめに書き込み期間 $Ta1$ が開始されると、1ライン目の第1ゲート線が選択され、1ライン目



の第1ゲート線に接続されている全ての画素(1ライン目の画素)のスイッチング用TFT305がオンの状態になる。

【0126】そして、全てのソース信号線302に入力される1ビット目のデジタルビデオ信号が、スイッチング用TFT305を介して駆動用TFT306のゲート電極に入力される。そして駆動用TFT306は、デジタルビデオ信号が有する「0」または「1」の情報によってそのスイッチングが制御される。駆動用TFT306がオフだとOLED307は発光しない。逆に、駆動用TFT306はオンだとOLED307は発光する。

【0127】このように、1ライン目の画素にデジタルビデオ信号が入力されると同時に、OLED307が発光、または非発光の状態になり、1ライン目の画素は表示期間Tr1になる。なお、各ラインの画素の表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0128】次に、1ライン目の第1ゲート線302の選択が終了する。そして、2ライン目から最後のラインの第1ゲート線302が順に選択され、全ての画素において1ライン目の画素と同様に、1ビット分のデジタルビデオ信号が入力される。そして各ラインの画素において表示期間Tr1が開始される。なお、各ラインの画素の表示期間が開始されるタイミングはそれぞれ時間差を有している。そして、全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間Ta1である。

【0129】一方、書き込み期間Ta1が終了する前または終了した後に、画素への1ビット目のデジタルビデオ信号の入力と並行して、1ライン目の第2ゲート線303の選択が開始される。そして、1ライン目の第2ゲート線303に接続されている全ての画素(1ライン目の画素)の消去用TFT309がオンになる。そして電源供給線304の電源電位が消去用TFT309を介して駆動用TFT306のゲート電極に与えられる。

【0130】電源電位が駆動用TFT306のゲート電極に与えられると、駆動用TFT306のゲート電極とソース領域の電位が同じになり、ゲート電圧が0Vになる。よって駆動用TFT306はオフとなる。よって電源電位がOLED307の画素電極に与えられなくなり、1ライン目の画素が有するOLED307は全て非発光の状態になる。

【0131】画素が表示を行わない期間を非表示期間Tdと呼ぶ。1ライン目の画素において、第2ゲート線303が選択されると同時に表示期間Tr1が終了し、非表示期間Td1となる。

【0132】そして1ライン目の第2ゲート線303の選択が終了すると、2ライン目から最後のラインの第2ゲート線303が順に選択され、全ての画素において非表示期間Td1が開始される。表示期間と同様に、各ラ

インの非表示期間が開始されるタイミングはそれぞれ時間差を有している。全ての第2ゲート線Gel~Geyが選択され、全ての画素においてTd1が開始されるまでの期間が消去期間Te1である。

【0133】一方、消去期間Te1が終了する前または終了した後に、再び書き込み期間が開始される。次に出現する書き込み期間Ta2は2ビット目のデジタルビデオ信号が全ての画素に入力される。各ラインの画素において2ビット目のデジタルビデオ信号が入力されると、表示期間Tr2が開始される。

【0134】上述した動作はnビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間Trと非表示期間Tdとが繰り返し出現する。なお表示期間が書き込み期間よりも長い場合、表示期間の次に別の表示期間が連続して出現しても良い。

【0135】表示期間は、書き込み期間が開始されてから、次に出現する書き込み期間または非表示期間が開始されるまでの期間である。また、非表示期間は、消去期間が開始されてから次に出現する書き込み期間が開始されるまでの期間である。

【0136】全ての表示期間が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間(F)と呼ぶ。

【0137】そして1フレーム期間終了後は、再び次のフレーム期間の書き込み期間が開始され、上述した動作が繰り返される。

【0138】本実施例では、全ての書き込み期間の長さの和が1フレーム期間よりも短いことが重要である。なおかつ表示期間の長さをTr1:Tr2:Tr3:…:Tr(n-1):Trn=2<sup>0</sup>:2<sup>1</sup>:2<sup>2</sup>:…:2<sup>(n-1)</sup>:2<sup>(n-1)</sup>とすることが必要である。この表示期間の組み合わせで2<sup>n</sup>階調のうち所望の階調表示を行うことができる。

【0139】1フレーム期間中にOLEDが発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、n=8のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、Tr1とTr2において画素が発光した場合には1%の輝度が表現でき、Tr3とTr5とTr8を選択した場合には60%の輝度が表現できる。

【0140】また表示期間Tr1~Trnは、どのような順序で出現させても良い。例えば1フレーム期間中において、Tr1の次にTr3、Tr5、Tr2、…という順序で表示期間を出現させることも可能である。

【0141】次に、本実施例の発光装置における補正回路の構造と、OLED駆動電圧を補正するための、電流の測定のタイミングと、デジタルビデオ信号から基準値を算出するタイミングについて説明する。

【0142】本実施例の補正回路は、発光している画素



の数をデジタルビデオ信号から算出する回路の仕組みにおいてのみ、実施例 1 または実施例 2 の補正回路と構成が異なる。つまり、実施例 1 または実施例 2 では、カウンタ回路だけを用いて発光している画素の数をカウントしていたが、本実施例ではカウンタ回路に加えて、メモリリセット回路、パルスカウンタ用メモリ及び加算回路を用いて発光している画素の数をカウントする。なお本実施例では、カウンタ回路に加えてメモリリセット回路、パルスカウンタ用メモリ及び加算回路を含む、発光している画素の数をカウントするための回路を、便宜上 10 画素数カウンタ回路と呼ぶ。

【0143】図 12 に、本実施例の画素数カウンタ回路 300 の構成をブロック図で示す。画素数カウンタ回路 300 は、カウンタ回路 301、パルスカウンタ用メモリ 303、加算回路 304 を有している。本実施例の補正回路は、図 6 または図 8 に示した補正回路 108 において、電流値計算回路 120 が有するカウンタ回路 123 または 130 を、画素数カウンタ回路 300 にそのまま置き換えたものに相当する。

【0144】パルスカウンタ用メモリ 303 には、同じ 20 ゲート線に接続された各ラインの画素ごとに、対応する記憶する場所が設けられている。以下本明細書では、メモリの記憶する場所をブロックと呼ぶ。ゲート線が  $y$  本ある場合、ブロックは  $y$  個以上設ける必要がある。各ブロックには対応するライン毎に 303\_\_1 ~ 303\_\_ $y$  の番号を付す。

【0145】本実施例では、書き込み期間  $T_{a1} \sim T_{an}$  において、各画素にデジタルビデオ信号が書き込まれるのと並行して、画素数カウンタ回路 300 にもデジタルビデオ信号が入力される。そして各書き込み期間にお 30 いて、デジタルビデオ信号は各ライン毎に順に画素数カウンタ回路 300 に入力される。

【0146】例えば、1 ライン目の画素にデジタルビデオ信号が入力されるのと同時に、1 ライン目の画素に入力されたデジタルビデオ信号と同じ画像情報を有するデジタルビデオ信号が画素数カウンタ回路 300 のカウンタ回路 301 に入力される。ただし、1 ライン目の画素にはパラレル処理方式で信号が入力されるが、カウンタ回路 301 にはシリアル処理方式で信号が入力される。

【0147】カウンタ回路 301 では、入力されたデジタルビデオ信号に基づき、1 ライン目の発光している画素の数を算出する。算出された画素数は、パルスカウンタ用メモリ 303 の 1 番目のブロック 303\_\_1 に記憶される。

【0148】以下、2 ライン目 ~  $y$  ライン目の画素に対応するデジタルビデオ信号も順にカウンタ回路 301 に入力される。そして同様に、各ラインの発光している画素の数が算出され、対応するブロック 303\_\_2 ~ 303\_\_ $y$  にそれぞれ記憶される。

【0149】各ブロックに記憶されている画素数は、常 50

に加算回路 304 に入力されている。加算回路 304 では、入力された各ブロックの画素数の合計値が算出される。算出された発光している画素の総数は、後段の回路にデータとして送られる。具体的には、図 6 では除算回路 124 に、図 8 では乗算回路 132 に入力される。

【0150】一方、書き込み期間よりも表示期間が短い場合、書き込み期間が終了する前に消去期間が開始されることになる。この場合、発光する画素の数は常に 0 になるので、消去期間が開始されたラインの画素に対応するブロックから順に、メモリリセット回路 302 によって画素数 0 のデータが記憶される。

【0151】この消去期間が開始される時の、パルスカウンタ用メモリ 303 の動作を、図 13 を用いて詳しく説明する。なお図 13 において、 $j$  は 3 ~  $y$  の任意の数である。

【0152】図 13 (A) は、書き込み期間が開始された後で、なおかつ消去期間が開始される前の、パルスカウンタ用メモリ 303 の動作を示している。カウンタ回路 301 から、書き込み期間が開始されたラインから順に、発光している画素数のデータが各ブロックに入力され保持される。

【0153】図 13 (B) は、書き込み期間中において消去期間が開始されたときのパルスカウンタ用メモリ 303 の動作を示している。カウンタ回路 301 から、書き込み期間が開始されたラインから順に、発光している画素数のデータが各ブロックに入力され保持される。そしてその後を追うように、消去期間が開始されたラインから順に、各ブロックに保持されている発光している画素数のデータが、メモリリセット回路 302 からの画素数 0 のデータに書き換えられている。

【0154】図 13 (C) は、書き込み期間が終了した後で、なおかつ消去期間が終了する前の、パルスカウンタ用メモリ 303 の動作を示している。各ブロックに保持されている発光している画素数のデータが、消去期間が開始されたラインから順に、メモリリセット回路 302 からの画素数 0 のデータに書き換えられている。

【0155】そして、各画素の OLED 電流の測定のタイミングは、いずれかのラインの画素が表示期間中であれば良い。

【0156】上記構成により、本実施例の補正回路では、表示期間が書き込み期間よりも短い場合でも、基準値と測定値を算出して比較し、補正電圧を調整することができる。

【0157】本実施例で示した画素の構成はほんの一例であり、本発明はこの構成に限定されない。

【0158】さらに、本実施例で示した補正回路の構成はほんの一例であり、本発明はこの構成に限定されない。本発明で用いられる補正回路は、全てまたは各画素に流れる OLED 駆動電流の理想とする値（基準値）をビデオ信号から算出する手段と、測定値と基準値を比較

する手段と、測定値と基準値の間にある程度の差が生じている場合に、その差を縮めるようにOLED駆動電圧を補正する手段とを有していれば良い。

【0159】なお、本実施例で示した画素を有する発光装置は、実施例1または実施例2に示した補正回路をそのまま用いても良い。この場合、全ての画素が表示期間中であるときに、電流を測定し、ビデオ信号を用いて発光している画素数を算出し、補正を行うようにする。

【0160】（実施例5）本実施例では、図4に示した構成の画素を有する発光装置を、アナログのビデオ信号（以下、アナログビデオ信号）を用いて駆動した場合の、補正回路の構成について述べる。

【0161】図14、に本実施例の補正回路の構成をブロック図で示す。本実施例の補正回路403は、電流値計算回路404、電流値比較回路408、電源制御回路412を有している。

【0162】電流値計算回路404は、電圧値計算回路405と、基準電流電圧比用レジスタ406と、乗算回路407と、A/D変換回路413とを有している。電流計401において得られた測定値のデータは、A/D変換回路413においてデジタルに変換されて、電流値比較回路408に入力される。なお、電流計401において得られた測定値がアナログではなくデジタルだった場合、A/D変換回路413を設ける必要はない。

【0163】また電流値計算回路404に入力されたアナログビデオ信号は、電圧値計算回路405に入力される。電圧値計算回路405では、各画素に入力されるアナログビデオ信号の電圧値の合計が算出される。該電圧値は乗算回路407にデータとして送られる。

【0164】一方、基準電流電圧比用レジスタ406には、各画素のOLED駆動電圧に対するOLED電流の理想とするの値（電圧電流比）が記憶されている。電圧電流比はマスク等の設計により決められた固定データであっても良いし、CPUやディップスイッチ等による書き換えが可能なデータであっても良い。

【0165】基準電流電圧比用レジスタ410に記憶されている電圧電流比は、データとして乗算回路407に入力される。乗算回路407では、入力された電圧電流比と、各画素に入力されるアナログビデオ信号の電圧値の合計から、全ての画素に流れるOLED駆動電流の合計の基準値を算出する。

【0166】乗算回路407において算出された基準値は、データとして電流値比較回路408に入力される。

【0167】電流値比較回路408に入力された測定値と基準値のデータは、共に減算回路409に入力される。減算回路409では、入力された測定値と基準値のデータの差（以下、偏差電流）を算出する。算出された偏差電流は、データとして比較回路411に入力される。

【0168】一方、許容誤差値用レジスタ410には、電源線V1~Vxと対向電極の間の、補正によって変化する分の電圧を補正電圧とすると、偏差電流の値に対応する補正電圧の値が記憶されている。偏差電流と補正電圧は、電流計401に実際に流れている電流の値が基準値に近づくような関係であれば良い。例えば偏差電流と補正電圧とが線形性をもつ関係であっても良いし、偏差電流が補正電圧の二乗に比例していても良い。

【0169】許容誤差値用レジスタ410に記憶されている偏差電流と補正電圧の関係は、マスク等の設計により決められた固定データであっても良いし、CPUやディップスイッチ等による書き換えが可能なデータであっても良い。

【0170】比較回路411では、乗算回路407から入力された偏差電流のデータと、許容誤差値用レジスタ410に記憶されている偏差電流と補正電圧の関係から、補正電圧の値を決定する。そして、電源制御回路412に、補正電圧の値をデータとして入力する。

【0171】電源制御回路412では、入力された補正電圧の値をもとに可変電源402を制御することで、電源線V1~Vxと対向電極との間の電圧を補正電圧の値だけ補正する。上記構成によって、各画素102が有するOLED105においてOLED駆動電圧が補正され、所望の大きさのOLED駆動電流が流れる。

【0172】なお、OLED駆動電圧は、電源線側の電位が制御されることで補正されていても良いし、対向電極側の電位が制御されることで補正されていても良い。また、電源線側の電位と対向電極側の電位とが共に制御されることで、補正されていても良い。

【0173】次に、本実施例の電圧値計算回路405の詳細な構成について説明する。図15に、電圧値計算回路405の構成をブロック図で示す。

【0174】電圧値計算回路405は、A/D変換回路414、カウンタ回路415、電圧値保持用メモリ416、加算回路417を有している。

【0175】電圧値保持用メモリ416には、同じゲート線に接続された各ラインの画素ごとに、対応する記憶する場所（ブロック）が設けられている。ゲート線がy本ある場合、ブロックはy個以上設ける必要がある。各ブロックには対応するライン毎に416\_1~416\_yの番号を付す。

【0176】本実施例では、各画素にアナログビデオ信号が書き込まれるのと並行して、A/D変換回路414にもアナログビデオ信号が入力される。そして各書き込み期間において、アナログビデオ信号は各ライン毎に順にA/D変換回路414に入力される。

【0177】例えば、1ライン目の各画素にアナログビデオ信号が順に入力されるのと並行して、1ライン目の各画素に入力されたアナログビデオ信号と同じ画像情報を有するアナログビデオ信号がA/D変換回路414に

入力される。ただし、1ライン目の画素にはパラレル処理方式で信号が入力されるが、A/D変換回路414にはシリアル処理方式で信号が入力される。

【0178】A/D変換回路414に入力されたアナログビデオ信号は、デジタルに変換され、カウンタ回路415に入力される。ここでアナログビデオ信号は、デジタルに変換する理由は、メモリ416はデジタル量で保存するほうが容易だからである。よって、メモリ416がCCDやSH容量のようにアナログ量で保存できる場合は、デジタルに変換する必要はない。

【0179】カウンタ回路415では、入力されたデジタルのビデオ信号に基づき、1ライン目の画素のOLED駆動電圧の合計を算出する。算出された1ライン目の画素のOLED駆動電圧の合計は、電圧値保持用メモリ416の1番目のブロック416\_1に記憶される。

【0180】以下、2ライン目～yライン目の画素に対応するアナログビデオ信号も、順にA/D変換回路414においてデジタルに変換され、カウンタ回路415に入力される。そして同様に、各ライン毎にOLED駆動電圧の合計が算出され、対応するブロック416\_2～416\_yにそれぞれ記憶される。

【0181】各ブロックに記憶されているOLED駆動電圧の合計は、常に加算回路417に入力されている。加算回路417では、入力された各ブロックのOLED駆動電圧の合計を全て加算して、合計値を算出する。算出された全画素のOLED駆動電圧の合計は、乗算回路407にデータとして送られる。

【0182】1フレーム期間が終了して次のフレーム期間のアナログビデオ信号が入力されると、1番目のブロックから順に、前のフレーム期間のOLED駆動電圧の合計のデータが消去され、次のフレーム期間のOLED駆動電圧の合計のデータが記憶される。

【0183】そして、各画素のOLED電流の測定のタイミングは、いずれかのラインの画素が表示期間中であれば良い。

【0184】上記構成によって、本発明の発光装置は、有機発光層が劣化してもOLED電流を一定にすることができるので、輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、本発明の発光装置では、有機発光層の温度が変化しても、OLED駆動電圧を補正することでOLED駆動電流を常に一定に保つことができる。よって、温度変化に左右されずに一定の輝度を得ることができ、また温度の上昇に伴って消費電力が大きくなるのを防ぐことができる。さらに本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0185】本実施例で示した補正回路の構成はほんの一例であり、本発明はこの構成に限定されない。本発明

で用いられる補正回路は、全てまたは各画素に流れるOLED駆動電流の理想とする値（基準値）をビデオ信号から算出する手段と、測定値と基準値を比較する手段と、測定値と基準値の間にある程度の差が生じている場合に、その差を縮めるようにOLED駆動電圧を補正する手段とを有していれば良い。

【0186】なお本実施例において電流値計算回路404に入力されるアナログビデオ信号は、ガンマ補正する前の信号である。ガンマ補正した後のアナログビデオ信号を電流値計算回路404に入力する場合、アナログビデオ信号をガンマ補正する前の電位に戻してから、電圧値計算回路405に入力する。

【0187】また本実施例では、ゲート電圧とドレイン電流がほぼ比例関係にある領域において駆動用TFTが動作するように、アナログビデオ信号の電位を調整する。

【0188】（実施例6）本実施例では、本発明の発光装置の画素部を駆動させるために用いる、ソース線駆動回路、ゲート線駆動回路の詳しい構成について説明する。

【0189】図16に、本実施例の発光装置の駆動回路をブロック図で示す。図16(A)はソース線駆動回路601であり、シフトレジスタ602、ラッチ(A)603、ラッチ(B)604を有している。

【0190】ソース線駆動回路601において、シフトレジスタ602にクロック信号(CLK)およびスタートパルス(SP)が入力される。シフトレジスタ602は、これらのクロック信号(CLK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ等（図示せず）を通して後段の回路へタイミング信号を順次入力する。

【0191】シフトレジスタ602からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が入力される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

【0192】バッファによって緩衝増幅されたタイミング信号は、ラッチ(A)603に入力される。ラッチ(A)603は、デジタルビデオ信号を処理する複数のステージのラッチを有している。ラッチ(A)603は、前記タイミング信号が入力されると、ソース線駆動回路601の外部から入力されるデジタルビデオ信号が順次書き込まれ、保持する。

【0193】なお、ラッチ(A)603にデジタルビデオ信号が書き込まれる際に、ラッチ(A)603が有する複数のステージのラッチに、順にデジタルビデオ信号が書き込まれても良い。しかし本発明はこの構成に限定

されない。ラッチ (A) 603 が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号が書き込まれる、いわゆる分割駆動を行っても良い。なお、このときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0194】ラッチ (A) 603 の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0195】1ライン期間が終了すると、ラッチ (B) 604 にラッチシグナル (Latch Signal) が入力される。この瞬間、ラッチ (A) 603 に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 604 に一斉に送出され、ラッチ (B) 604 の全ステージのラッチに書き込まれ、保持される。

【0196】デジタルビデオ信号をラッチ (B) 604 に送出し終えたラッチ (A) 603 には、シフトレジスタ602からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【0197】この2順目の1ライン期間中には、ラッチ (B) 604 に書き込まれ、保持されているデジタルビデオ信号がソース線に入力される。

【0198】図16 (B) はゲート線駆動回路の構成を示すブロック図である。

【0199】ゲート線駆動回路605は、それぞれシフトレジスタ606、バッファ607を有している。また場合によってはレベルシフトを有していても良い。

【0200】ゲート線駆動回路605において、シフトレジスタ606からのタイミング信号がバッファ607に入力され、対応するゲート線に入力される。ゲート線には、1ライン分の画素が有するTFTのゲート電極が接続されている。そして、1ライン分の画素のTFTを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0201】なお、本実施例で示した駆動回路はほんの一例にすぎない。本実施例は実施例1~4と自由に組み合わせることで実施することが可能である。

【0202】(実施例7) 本実施例では、本発明の発光装置の外観について、図17を用いて説明する。

【0203】図17 (A) は、発光装置の上面図であり、図17 (B) は、図17 (A) のA-A' における断面図、図17 (C) は図17 (A) のB-B' における断面図である。

【0204】基板4001上に設けられた画素部4002と、ソース線駆動回路4003と、第1及び第2のゲート線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002

と、ソース線駆動回路4003と、第1及び第2のゲート線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース線駆動回路4003と、第1及び第2のゲート線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210と共に密封されている。

【0205】また基板4001上に設けられた画素部4002と、ソース線駆動回路4003と、第1及び第2のゲート線駆動回路4004a、bとは、複数のTFTを有している。図17 (B) では代表的に、下地膜4010上に形成された、ソース線駆動回路4003に含まれる駆動回路用TFT (但し、ここではnチャネル型TFTとpチャネル型TFTを図示する) 4201及び画素部4002に含まれる駆動用TFT (OLEDへの電流を制御するTFT) 4202を図示した。

【0206】本実施例では、駆動回路用TFT 4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、駆動用TFT 4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には駆動用TFT 4202のゲート電極に接続された保持容量 (図示せず) が設けられる。

【0207】駆動回路用TFT 4201及び駆動用TFT 4202上には層間絶縁膜 (平坦化膜) 4301が形成され、その上に駆動用TFT 4202のドレインと電気的に接続する画素電極 (陽極) 4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0208】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いても良い。

【0209】有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0210】有機発光層4204の上には遮光性を有する導電膜 (代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜) からなる陰極4205が形成される。また、陰極4

10

20

30

40

50

205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0211】以上のようにして、画素電極（陽極）4203、有機発光層4204及び陰極4205からなるOLED4303が形成される。そしてOLED4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、OLED4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0212】4005aは電源線に接続された引き回し配線であり、駆動用TFT4202のソース領域に電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

【0213】シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0214】但し、OLEDからの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0215】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0216】また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保

持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、OLED4303の劣化を抑制できる。

【0217】図17（C）に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0218】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

【0219】本発明の発光装置が有する電流計と、可変電源と、補正回路は、基板4001とは異なる基板（図示せず）上に形成され、FPC4006を介して、基板4001上に形成された電源線及び陰極4205に電気的に接続されている。

【0220】なお本実施例は、実施例1～6と自由に組み合わせることで実施することが可能である。

【0221】（実施例8）本実施例では、本発明の発光装置が有する電流計と、可変電源と、補正回路を、画素部が形成されている基板とは異なる基板上に形成し、ワイヤボンディング法、COG（チップ・オン・ガラス）法等の手段によって画素部が形成されている基板上の配線と接続する例について説明する。

【0222】図18に本実施例の発光装置の外観図を示す。基板5001上に設けられた画素部5002と、ソース線駆動回路5003と、第1及び第2のゲート線駆動回路5004a、bとを囲むようにして、シール材5009が設けられている。また画素部5002と、ソース線駆動回路5003と、第1及び第2のゲート線駆動回路5004a、bとの上にシーリング材5008が設けられている。よって画素部5002と、ソース線駆動回路5003と、第1及び第2のゲート線駆動回路5004a、bとは、基板5001とシール材5009とシーリング材5008とによって、充填材（図示せず）と共に密封されている。

【0223】シーリング材5008の基板5001側の面に凹部5007を設けて吸湿性物質または酸素を吸着しうる物質を配置する。

【0224】基板5001上に引き回されている配線（引き回し配線）は、シール材5009と基板5001との間を通り、FPC5006を介して発光装置の外部の回路または素子に接続されている。

【0225】本発明の発光装置が有する電流計と、可変電源と、補正回路は、基板5001とは異なる基板（以下、チップと呼ぶ）5020に形成され、COG（チッ

ブ・オン・グラス) 法等の手段によって基板 5001 上に取り付けられ、基板 5001 上に形成された電源線及び陰極 (図示せず) に電気的に接続されている。

【0226】本実施例では、電流計と、可変電源と、補正回路が形成されたチップ 5020 を、ワイヤボンディング法、COG 法等により基板 5001 上に取り付けることで、発光装置が 1 枚の基板で構成することができ、装置自体がコンパクトになり、機械的強度も上がる。

【0227】なお、基板上にチップを接続する方法に関しては、公知の方法を用いて行うことが可能である。また、電流計と、可変電源と、補正回路以外の回路及び素子を、基板 5001 上に取り付けても良い。

【0228】本実施例は、実施例 1～7 と自由に組み合わせることで実施することが可能である。

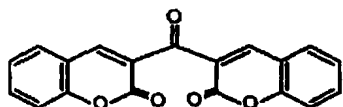
【0229】(実施例 9) 本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、OLED の低消費電力化、長寿命化、および軽量化が可能になる。

【0230】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

【0231】上記の論文により報告された有機発光材料 (クマリン色素) の分子式を以下に示す。

【0232】

【化 1】

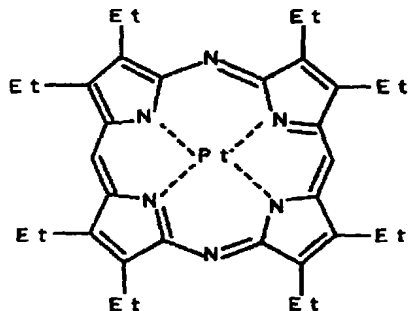


【0233】(M. A. Baldo, D. F. O'Brien, Y. You, A. Shoulkov, S. Sibley, M. E. Thompson, S. R. Forrest, Nature 395 (1998) p. 151.)

【0234】上記の論文により報告された有機発光材料 (Pt 錯体) の分子式を以下に示す。

【0235】

【化 2】



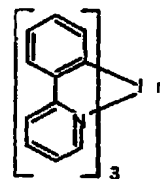
【0236】(M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) 50

9) p. 4.) (T. Tsutsui, M.-J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

【0237】上記の論文により報告された有機発光材料 (Ir 錯体) の分子式を以下に示す。

【0238】

【化 3】



【0239】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3～4 倍の高い外部発光量子効率の実現が可能となる。

【0240】なお、本実施例の構成は、実施例 1～実施例 8 のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0241】(実施例 10) 本発明の発光装置の作製方法の一例について、図 20～図 23 を用いて説明する。ここでは、画素部のスイッチング用 TFT および駆動用 TFT と、画素部の周辺に設けられる駆動部の TFT を同時に作製する方法について、工程に従って詳細に説明する。

【0242】まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 900 を用いる。なお、基板 900 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐える耐熱性を有するプラスチック基板を用いてもよい。

【0243】次いで、図 20 (A) に示すように、基板 900 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 901 を形成する。本実施例では下地膜 901 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 901 の一層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化珪素膜 901a を 10～200 nm (好ましくは 50～100 nm) 形成する。本実施例では、膜厚 50 nm の酸化窒化珪素膜 901a (組成比  $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ ) を形成した。次いで、下地膜 901 の二層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化珪素膜 901b を 50～200 nm (好ましくは 100～150 nm) の厚さに積層形成する。本実施例では、膜厚 100 nm の酸化

窒化珪素膜901b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

【0244】次いで、下地膜901上に半導体層902~905を形成する。半導体層902~905は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層902~905の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム( $\text{Si}_x\text{Ge}_{1-x}$ ( $x=0.0001\sim0.02$ ))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層902~905を形成した。

【0245】また、半導体層902~905を形成した後、TFTのしきい値を制御するために、半導体層902~905に微量な不純物元素(ボロンまたはリン)をドーピングしてもよい。

【0246】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~400mJ/cm<sup>2</sup>(代表的には200~300mJ/cm<sup>2</sup>)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザーエネルギー密度を300~600mJ/cm<sup>2</sup>(代表的には350~500mJ/cm<sup>2</sup>)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行えばよい。

【0247】次いで、半導体層902~905を覆うゲート絶縁膜906を形成する。ゲート絶縁膜906はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸

化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0248】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0249】そして、ゲート絶縁膜906上にゲート電極を形成するための耐熱性導電層907を200~400nm(好ましくは250~350nm)の厚さで形成する。耐熱性導電層907は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層にはTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良い。本実施例ではW膜を300nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タングステン(WF<sub>6</sub>)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができる。

【0250】一方、耐熱性導電層907にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、スパッタ時のガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きであった。TaN膜はα相に近い結晶構造を持つので、Ta膜の下地にTaN膜を形成すればα相のTa膜が容易に得られる。また、図示しないが、耐熱性導電層907の下に2~20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有

効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層 907 が微量に含有するアルカリ金属元素が第 1 の形状のゲート絶縁膜 906 に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層 907 は抵抗率を  $10 \sim 50 \mu\Omega\text{cm}$  の範囲ですることが好ましい。

【0251】次に、フォトリソグラフィーの技術を使用してレジストによるマスク 908 を形成する。そして、第 1 のエッチング処理を行う。本実施例では ICP エッチング装置を用い、エッチング用ガスに  $\text{Cl}_2$  と  $\text{CF}_4$  を用い、 $1\text{Pa}$  の圧力で  $3.2\text{W}/\text{cm}^2$  の RF ( $13.56\text{MHz}$ ) 電力を投入してプラズマを形成して行う。基板側 (試料ステージ) にも  $224\text{mW}/\text{cm}^2$  の RF

( $13.56\text{MHz}$ ) 電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件で W 膜のエッチング速度は約  $100\text{nm}/\text{min}$  である。第 1 のエッチング処理はこのエッチング速度を基に W 膜がちょうどエッチングされる時間を推定し、それよりもエッチング時間を  $20\%$  増加させた時間をエッチング時間とした。

【0252】第 1 のエッチング処理により第 1 のテーパ形状を有する導電層 909～912 が形成される。導電層 909～912 のテーパ部の角度は  $15 \sim 30^\circ$  となるように形成される。残渣を残すことなくエッチングするためには、 $10 \sim 20\%$  程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W 膜に対する酸化窒化シリコン膜 (ゲート絶縁膜 906) の選択比は  $2 \sim 4$  (代表的には  $3$ ) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は  $20 \sim 50\text{nm}$  程度エッチングされる。

(図 20 (B))

【0253】そして、第 1 のドーピング処理を行い導電型の不純物元素を半導体層に添加する。ここでは、 $n$  型を付与する不純物元素添加の工程を行う。第 1 の形状の導電層を形成したマスク 908 をそのまま残し、第 1 のテーパ形状を有する導電層 909～912 をマスクとして自己整合的に  $n$  型を付与する不純物元素をイオンドープ法で添加する。 $n$  型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜 906 とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14} \text{atoms}/\text{cm}^2$  とし、加速電圧を  $80 \sim 160\text{keV}$  として行う。 $n$  型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。このようなイオンドープ法により第 1 の不純物領域 914～917 には  $1 \times 10^{13} \sim 1 \times 10^{14} \text{atomic}/\text{cm}^2$  の濃度範囲で  $n$  型を付与する不純物元素が添加される。(図 20 (C))

【0254】この工程において、ドーピングの条件によ

っては、不純物が第 1 の形状の導電層 909～912 の下に回りこみ、第 1 の不純物領域 914～917 が第 1 の形状の導電層 909～912 と重なることも起こりうる。

【0255】次に、図 20 (D) に示すように第 2 のエッチング処理を行う。エッチング処理も同様に ICP エッチング装置により行い、エッチングガスに  $\text{CF}_4$  と  $\text{Cl}_2$  の混合ガスを用い、RF 電力  $3.2\text{W}/\text{cm}^2$  ( $13.56\text{MHz}$ )、バイアス電力  $45\text{mW}/\text{cm}^2$  ( $13.56\text{MHz}$ )、圧力  $1.0\text{Pa}$  でエッチングを行う。この条件で形成される第 2 の形状を有する導電層 918～921 が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第 1 のエッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テーパ部の角度は  $30 \sim 60^\circ$  となる。マスク 908 はエッチングされて端部が削れ、マスク 922 となる。また、図 20 (D) の工程において、ゲート絶縁膜 906 の表面が  $40\text{nm}$  程度エッチングされる。

【0256】そして、第 1 のドーピング処理よりもドーズ量を下げ高加速電圧の条件で  $n$  型を付与する不純物元素をドーピングする。例えば、加速電圧を  $70 \sim 120\text{keV}$  とし、 $1 \times 10^{13} \sim 1 \times 10^{14} \text{atoms}/\text{cm}^2$  のドーズ量で行い、不純物濃度が大きくなった第 1 の不純物領域 924～927 と、前記第 1 の不純物領域 924～927 に接する第 2 の不純物領域 928～931 とを形成する。この工程において、ドーピングの条件によっては、不純物が第 2 の形状の導電層 918～921 の下に回りこみ、第 2 の不純物領域 928～931 が第 2 の形状の導電層 918～921 と重なることも起こりうる。第 2 の不純物領域における不純物濃度は、 $1 \times 10^{13} \sim 1 \times 10^{14} \text{atoms}/\text{cm}^2$  となるようにする。(図 21 (A))

【0257】そして、(図 21 (B)) に示すように、 $p$  チャネル型 TFT を形成する半導体層 902、905 に導電型とは逆の導電型の不純物領域 933 (933a、933b) 及び 934 (934a、934b) を形成する。この場合も第 2 の形状の導電層 918、921 をマスクとして  $p$  型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、 $n$  チャネル型 TFT を形成する半導体層 903、904 は、レジストのマスク 932 を形成し全面を被覆しておく。ここで形成される不純物領域 933、934 はジボラン ( $\text{B}_2\text{H}_6$ ) を用いたイオンドープ法で形成する。不純物領域 933、934 の  $p$  型を付与する不純物元素の濃度は、 $2 \times 10^{13} \sim 2 \times 10^{14} \text{atoms}/\text{cm}^2$  となるようにする。

【0258】しかしながら、この不純物領域 933、934 は詳細には  $n$  型を付与する不純物元素を含有する 2 つの領域に分けて見ることができる。第 3 の不純物領域



933a、934aは $1 \times 10^{18} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度でn型を付与する不純物元素を含み、第4の不純物領域933b、934bは $1 \times 10^{17} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域933b、934bのp型を付与する不純物元素の濃度を $1 \times 10^{18}$  atoms/cm<sup>3</sup>以上となるようにし、第3の不純物領域933a、934aにおいては、p型を付与する不純物元素の濃度をn型を付与する不純物元素の濃度の1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFETのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0259】その後、図21(C)に示すように、第2の形状を有する導電層918～921およびゲート絶縁膜906上に第1の層間絶縁膜937を形成する。第1の層間絶縁膜937は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜937は無機絶縁物材料から形成する。第1の層間絶縁膜937の膜厚は100～200nmとする。第1の層間絶縁膜937として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSとO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。また、第1の層間絶縁膜937として酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から作製される酸化窒化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波(60MHz)電力密度0.1～1.0W/cm<sup>2</sup>で形成することができる。また、第1の層間絶縁膜937としてSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>から作製することが可能である。

【0260】そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板501に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0261】活性化の工程に続いて、雰囲気ガスを変化

させ、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層にある10<sup>16</sup>～10<sup>18</sup>/cm<sup>3</sup>のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、半導体層902～905中の欠陥密度を10<sup>16</sup>/cm<sup>3</sup>以下とすることが望ましく、そのために水素を0.01～0.1atomic%程度付与すれば良い。

【0262】そして、有機絶縁物材料からなる第2の層間絶縁膜939を1.0～2.0μmの平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0263】このように、第2の層間絶縁膜939を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜937として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせると良い。

【0264】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスにCF<sub>4</sub>、O<sub>2</sub>、Heの混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜939をまずエッチングし、その後、続いてエッチングガスをCF<sub>4</sub>、O<sub>2</sub>として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスをCHF<sub>3</sub>に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0265】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940～943とドレイン配線944～946を形成する。図示していないが、本実施例ではこの配線を、そして、膜厚50nmのTi膜と、膜厚500nmの合金膜(AlとTiとの合金膜)との積層膜で形成した。

【0266】次いで、その上に透明導電膜を80～12

0 nmの厚さで形成し、パターニングすることによって画素電極 947 を形成する(図 22 (A))。なお、本実施例では、透明電極として酸化インジウム・スズ(ITO)膜や酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いる。

【0267】また、画素電極 947 は、ドレイン配線 946 と接して重ねて形成することによって駆動用 TFT のドレイン領域と電気的な接続が形成される。

【0268】次に、図 22 (B) に示すように、画素電極 947 に対応する位置に開口部を有する第3の層間絶縁膜 949 を形成する。第3の層間絶縁膜 949 は絶縁性を有して、バンクとして機能し、隣接する画素の有機発光層を分離する役割を有している。本実施例ではレジストを用いて第3の層間絶縁膜 949 を形成する。

【0269】本実施例では、第3の層間絶縁膜 949 の厚さを1 μm程度とし、開口部は画素電極 947 に近くなればなるほど広くなる、所謂逆テーパー状になるように形成する。これはレジストを成膜した後、開口部を形成しようとする部分以外をマスクで覆い、UV光を照射して露光し、露光された部分を現像液で除去することによって形成される。

【0270】本実施例のように、第3の層間絶縁膜 949 を逆テーパー状にすることで、後の工程において有機発光層を成膜した時に、隣り合う画素同士で有機発光層が分断されるため、有機発光層と、第3の層間絶縁膜 949 の熱膨張係数が異なっている、有機発光層がひび割れたり、剥離したりするのを抑えることができる。

【0271】なお、本実施例においては、第3の層間絶縁膜としてレジストでなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB (ベンゾシクロブテン)、酸化珪素膜等を用いることもできる。第3の層間絶縁膜 949 は絶縁性を有する物質であれば、有機物と無機物のどちらでも良い。

【0272】次に、有機発光層 950 を蒸着法により形成し、更に蒸着法により陰極(MgAg電極) 951 および保護電極 952 を形成する。このとき有機発光層 950 及び陰極 951 を形成するに先立って画素電極 947 に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではOLEDの陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0273】なお、有機発光層 950 としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer) 及び発光層(Emitting layer) でなる2層構造を有機発光層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0274】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層と

しては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30~40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0275】また、保護電極 952 でも有機発光層 950 を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜 953 を設けると良い。本実施例では保護膜 953 として300 nm厚の窒化珪素膜を設ける。この保護膜も保護電極 952 の後に大気解放しないで連続的に形成しても構わない。

【0276】また、保護電極 952 は陰極 951 の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層 950、陰極 951 は非常に水分に弱いので、保護電極 952 までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0277】なお、有機発光層 950 の膜厚は10~400 [nm] (典型的には60~150 [nm])、陰極 951 の厚さは80~200 [nm] (典型的には100~150 [nm]) とすれば良い。

【0278】こうして図 22 (B) に示すような構造の発光装置が完成する。なお、画素電極 947、有機発光層 950、陰極 951 の重なっている部分 954 がOLEDに相当する。

【0279】pチャネル型TFT 960 及びnチャネル型TFT 961 は駆動回路が有するTFTであり、CMOSを形成している。スイッチング用TFT 962 及び駆動用TFT 963 は画素部が有するTFTであり、駆動回路のTFTと画素部のTFTとは同一基板上に形成することができる。

【0280】なお、OLEDを用いた発光装置の場合、駆動回路の電源の電圧が5~6 V程度、最大でも10 V程度で十分なので、TFTにおいてホットエレクトロンによる劣化があまり問題にならない。また駆動回路を高速で動作させる必要がある、TFTのゲート容量は小さいほうが好ましい。よって、本実施例のように、OLEDを用いた発光装置の駆動回路では、TFTの半導体層が有する第2の不純物領域 929 と、第4の不純物領域 933 b とが、それぞれゲート電極 918、919 と重ならない構成にするのが好ましい。

【0281】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作製することが可能である。

【0282】なお本実施例は、実施例 1~9 と自由に組み合わせる実施することが可能である。

【0283】(実施例 11) 本実施例では、実施例 10 とは異なる発光装置の作製方法について説明する。

【0284】第2の層間絶縁膜 939 を形成するまでの工程は、実施例 5 と同じである。図 23 (A) に示すよ

うに、第2の層間絶縁膜939を形成した後、第2の層間絶縁膜939に接するように、パッシベーション膜939を形成する。

【0285】パッシベーション膜939は、第2の層間絶縁膜939に含まれる水分が、画素電極947や、第3の層間絶縁膜982を介して、有機発光層950に入るのを防ぐのに効果的である。第2の層間絶縁膜939が有機樹脂材料を有している場合、有機樹脂材料は水分を多く含むため、パッシベーション膜939を設けることは特に有効である。

【0286】本実施例では、パッシベーション膜939として、窒化珪素膜を用いた。

【0287】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに $CF_4$ 、 $O_2$ 、 $He$ の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜939をまずエッチングし、その後、続いてエッチングガスを $CF_4$ 、 $O_2$ として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを $CHF_3$ に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0288】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940～943とドレイン配線944～946を形成する。図示していないが、本実施例ではこの配線を、そして、膜厚50nmのTi膜と、膜厚500nmの合金膜(AlとTiとの合金膜)との積層膜で形成した。

【0289】次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターニングすることによって画素電極947を形成する(図23(A))。なお、本実施例では、透明電極として酸化インジウム・スズ(ITO)膜や酸化インジウムに2～20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いる。

【0290】また、画素電極947は、ドレイン配線946と接して重ねて形成することによって駆動用TFTのドレイン領域と電気的な接続が形成される。

【0291】次に、図23(B)に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜982を形成する。本実施例では、開口部を形成する際、ウェットエッチング法を用いることでテーパー形状の側壁とした。実施例5に示した場合と異なり、第3の層間絶縁膜982上に形成される有機発光層は分断されないため、開口部の側壁が十分になだらかなないと段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0292】なお、本実施例においては、第3の層間絶

縁膜982として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)といった有機樹脂膜を用いることもできる。

【0293】そして、第3の層間絶縁膜982上に有機発光層950を形成する前に、第3の層間絶縁膜982の表面にアルゴンを用いたプラズマ処理を施し、第3の層間絶縁膜982の表面を緻密化しておくのが好ましい。上記構成によって、第3の層間絶縁膜982から有機発光層950に水分が入るのを防ぐことができる。

【0294】次に、有機発光層950を蒸着法により形成し、更に蒸着法により陰極(MgAg電極)951および保護電極952を形成する。このとき有機発光層950及び陰極951を形成するに先立って画素電極947に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではOLEDの陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0295】なお、有機発光層950としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)でなる2層構造を有機発光層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせれば既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0296】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30～40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0297】また、保護電極952でも有機発光層950を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜953を設けると良い。本実施例では保護膜953として300nm厚の窒化珪素膜を設ける。この保護膜も保護電極952の後に大気解放しないで連続的に形成しても構わない。

【0298】また、保護電極952は陰極951の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層950、陰極951は非常に水分に弱いので、保護電極952までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0299】なお、有機発光層950の膜厚は10～400[nm](典型的には60～150[nm])、陰極951の厚さは80～200[nm](典型的には100～150[nm])とすれば良い。

【0300】こうして図23(B)に示すような構造の発光装置が完成する。なお、画素電極947、有機発光層950、陰極951の重なっている部分954がOL

EDに相当する。

【0301】pチャンネル型TFT960及びnチャンネル型TFT961は駆動回路が有するTFTであり、CMOSを形成している。スイッチング用TFT962及び駆動用TFT963は画素部が有するTFTであり、駆動回路のTFTと画素部のTFTとは同一基板上に形成することができる。

【0302】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作製することが可能であ

る。

【0303】なお本実施例は、実施例1～9と自由に組み合わせることで実施することが可能である。

【0304】(実施例12) 本発明の電子機器に用いられる発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0305】本発明の電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置

(具体的にはDVD: Digital Versatile Disc)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図24に示す。

【0306】図24(A)は本発明の有機発光表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、有機発光表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0307】図24(B)は本発明のデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0308】図24(C)は本発明のノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができ

る。

【0309】図24(D)は本発明のモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0310】図24(E)は記録媒体を備えた本発明の携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0311】図24(F)は本発明のゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0312】図24(G)は本発明のビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0313】ここで図24(H)は本発明の携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

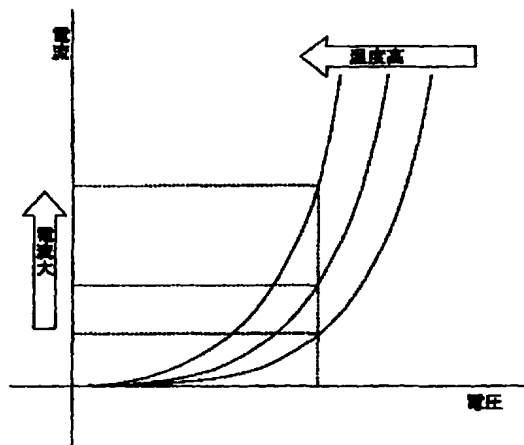
【0314】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0315】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

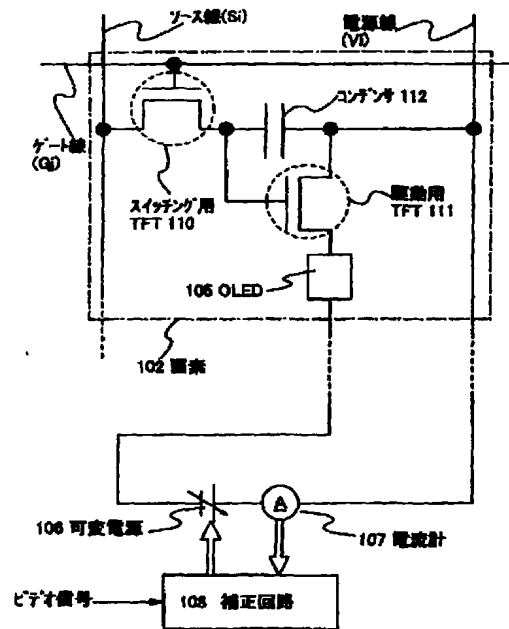
【0316】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景



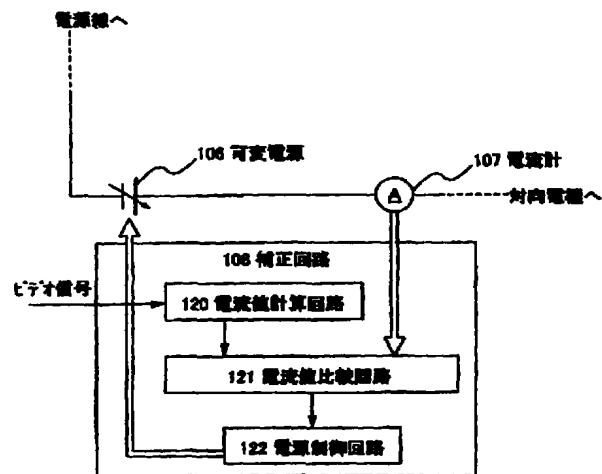
【図3】



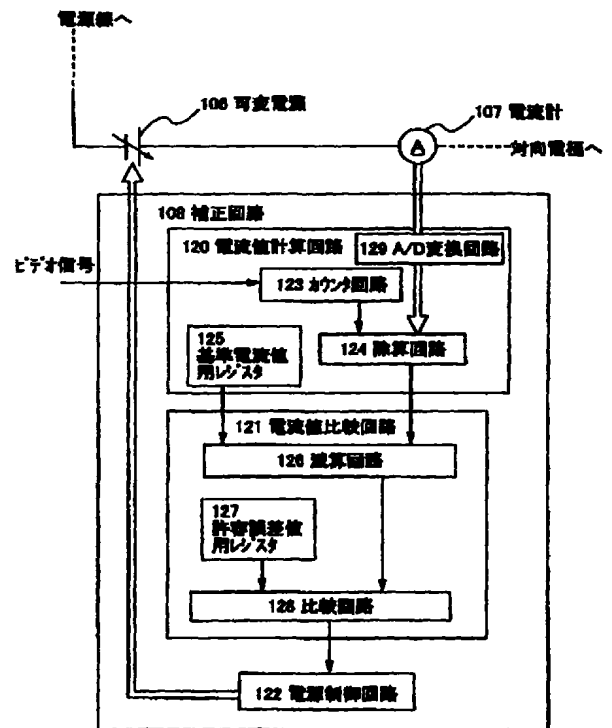
【図4】



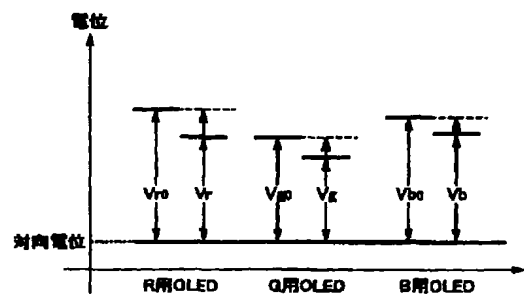
【図5】



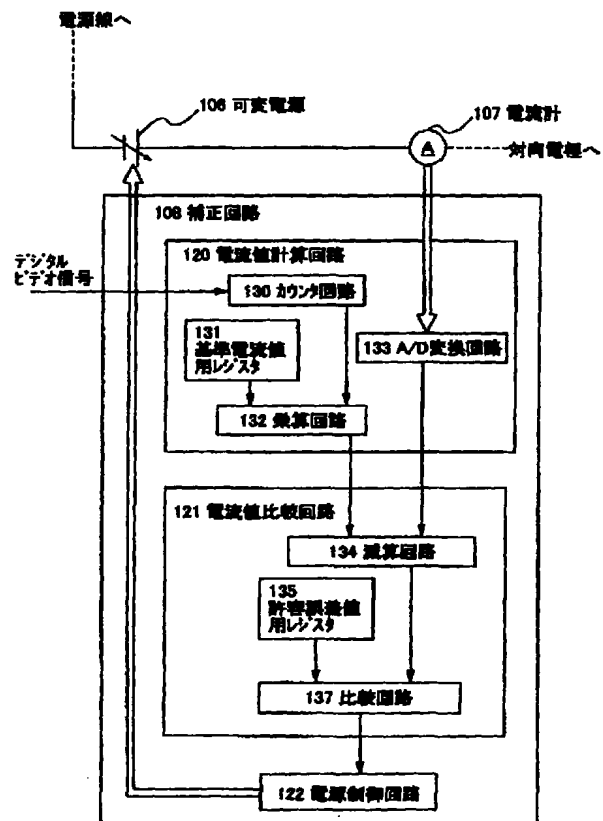
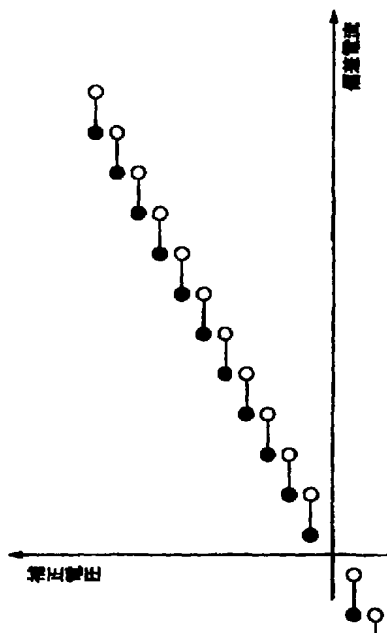
【図6】



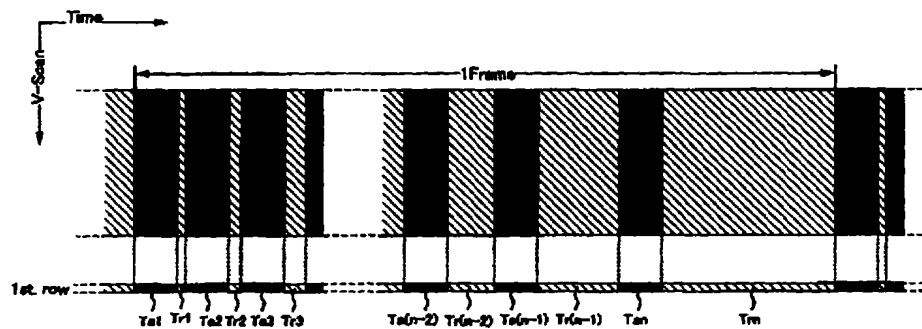
【図19】



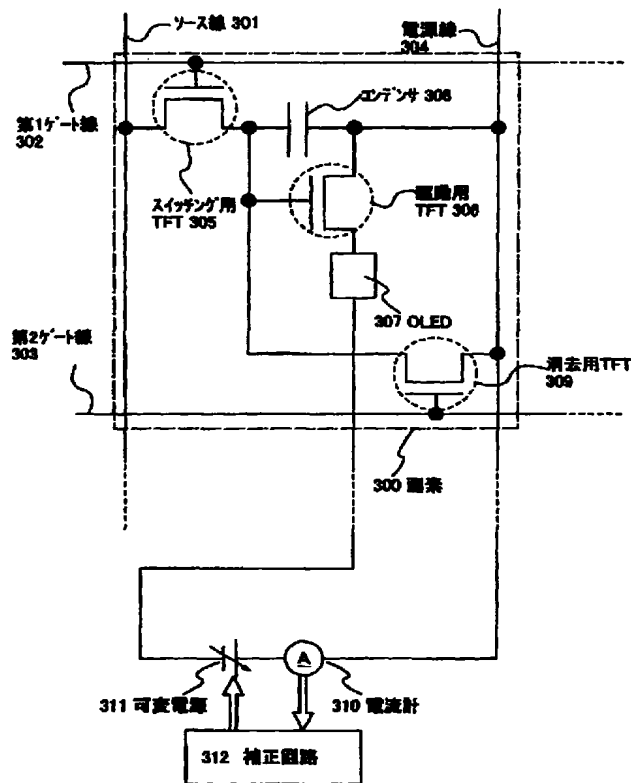
【図 8】



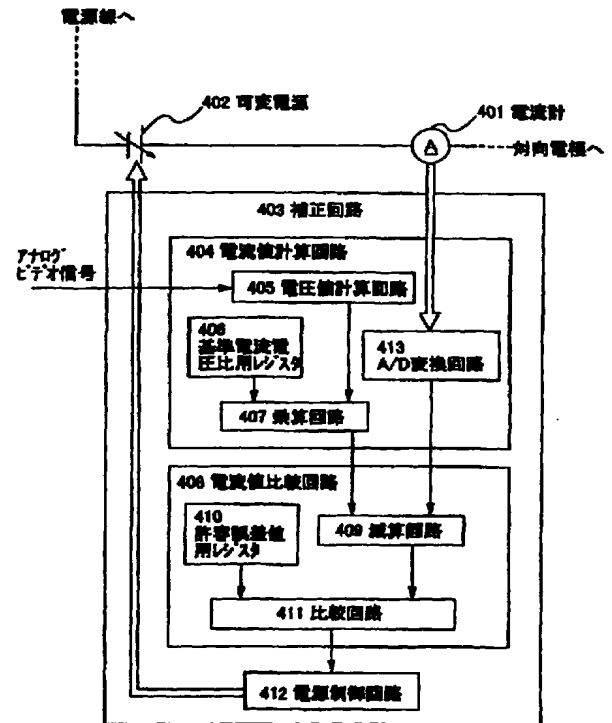
【图9】



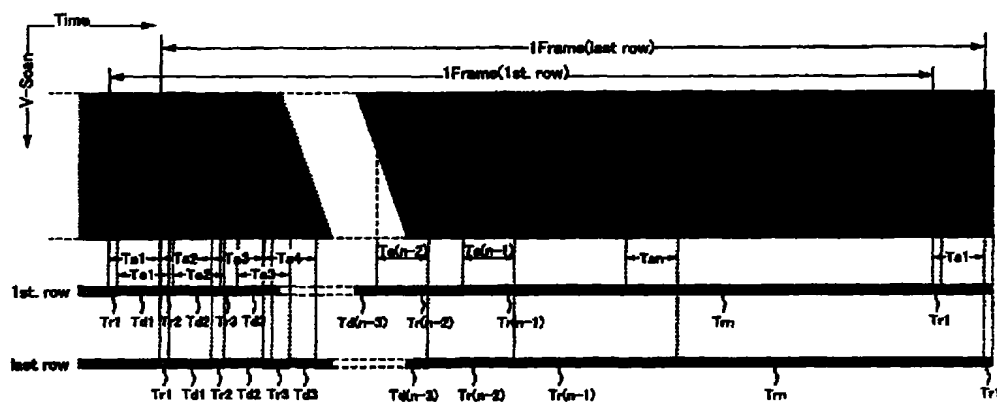
【図 10】



【図 14】

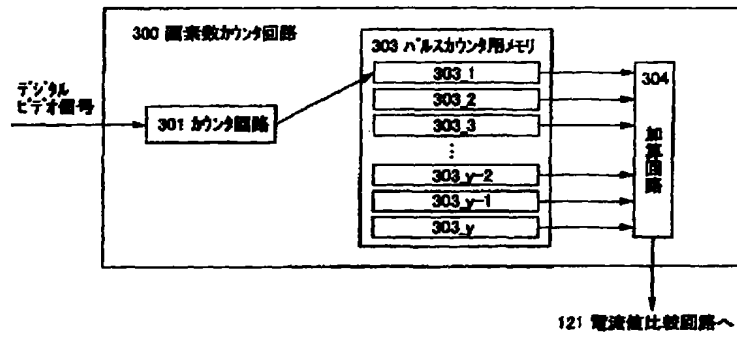


【図 11】

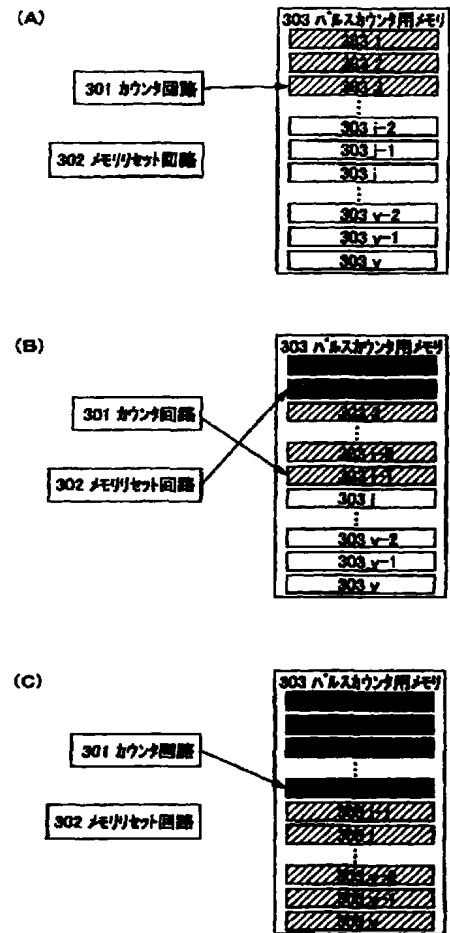




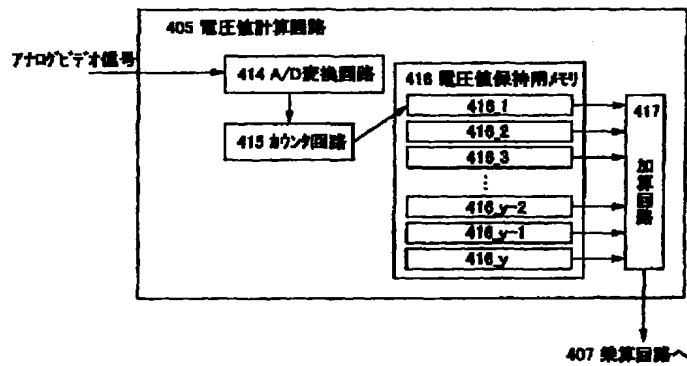
【図12】



【図13】

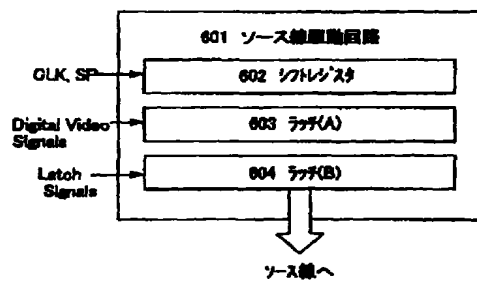


【図15】

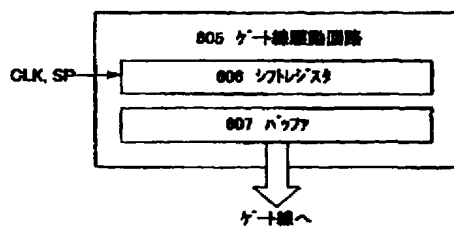


【図16】

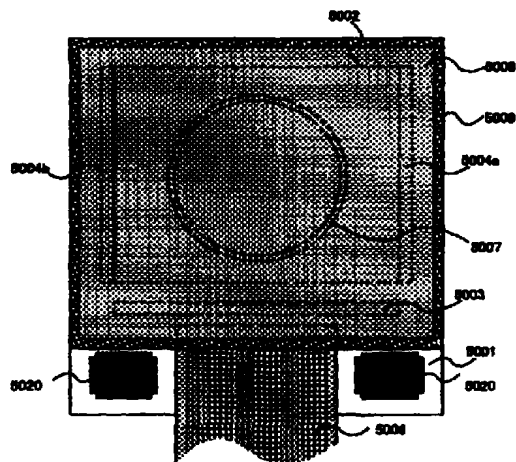
(A)



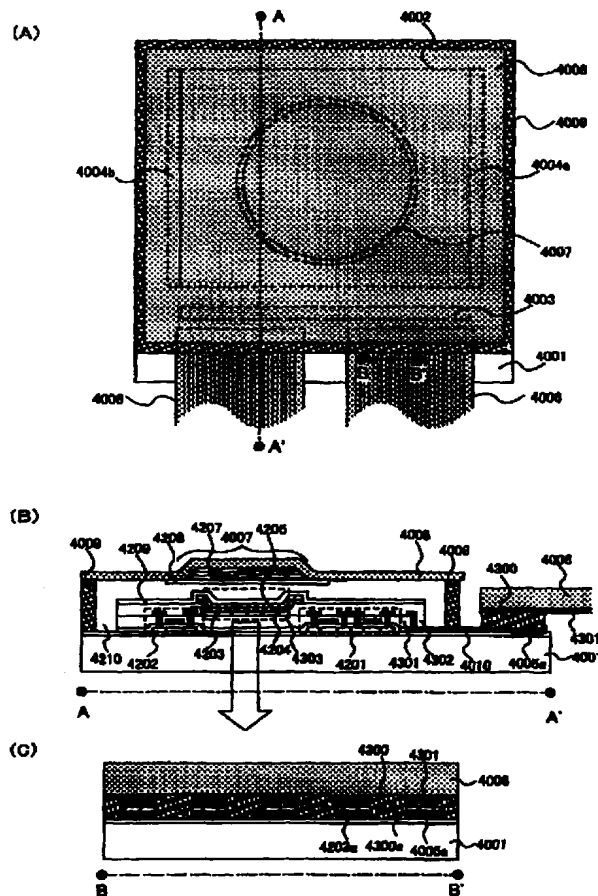
(B)



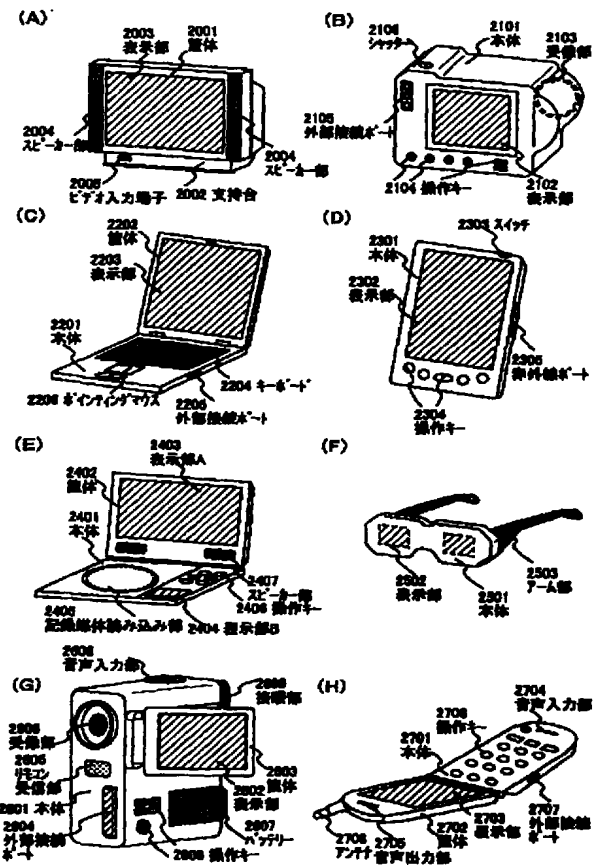
【図18】



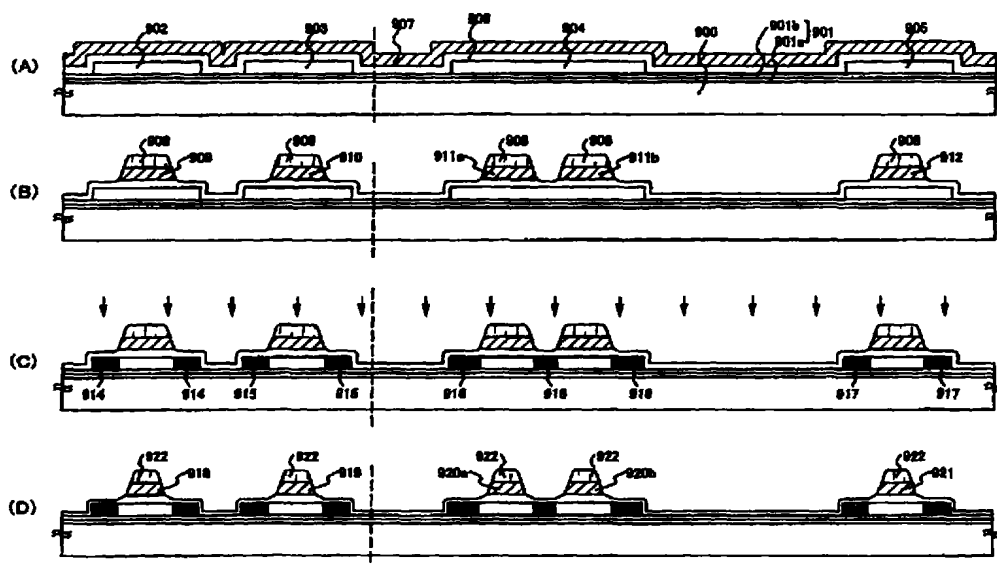
【図 17】



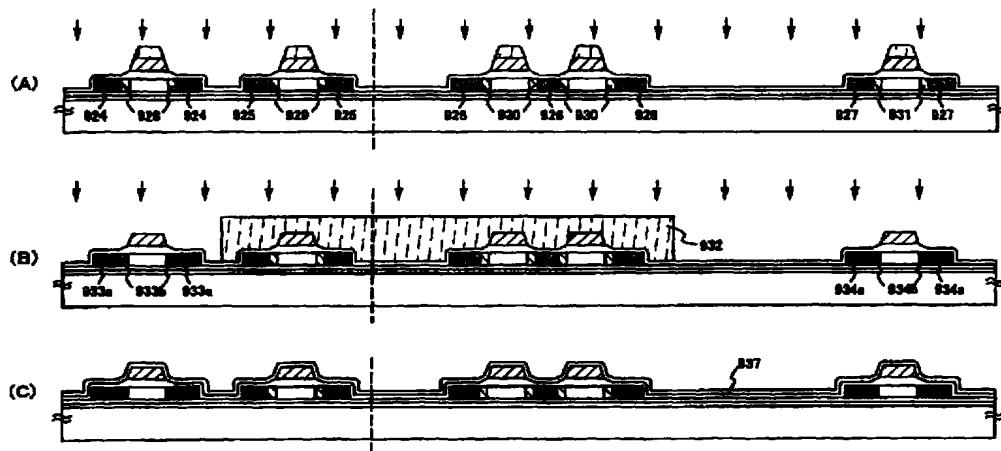
【図 24】



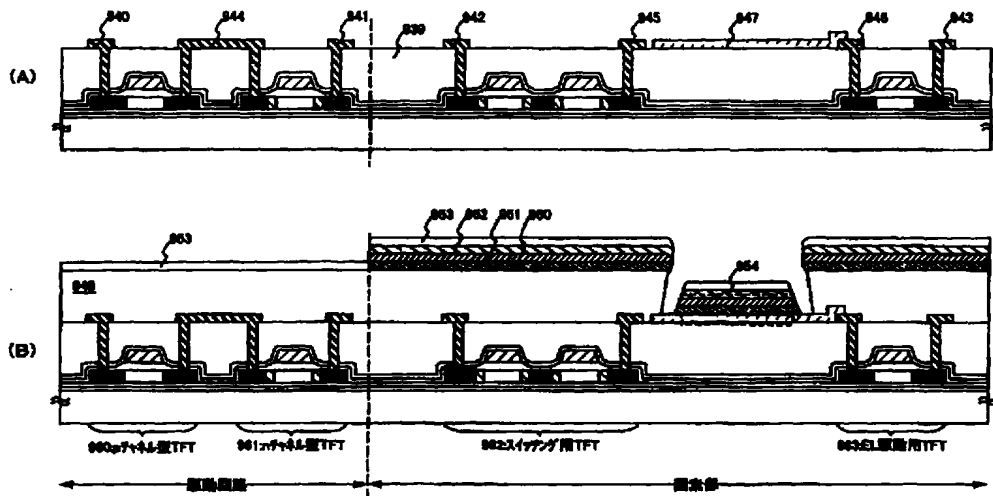
【図 20】



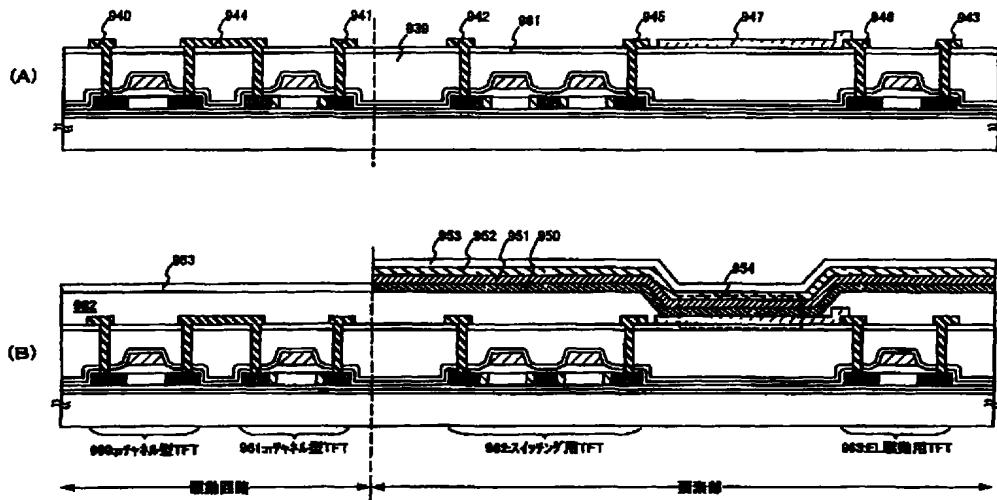
【図21】



【図22】



【図 23】



フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-コ-ド (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 P
	6 4 2		6 4 2 C
			6 4 2 P
	6 7 0		6 7 0 J
H 0 5 B 33/14		H 0 5 B 33/14	A